

Последовательностные схемы

Триггер

Триггер – это устройство последовательного типа с двумя устойчивыми состояниями равновесия, предназначенное для записи и хранения информации. Под действием входных сигналов триггер может переключаться из одного устойчивого состояния в другое. При этом напряжение на его выходе скачкообразно изменяется.

Как правило, триггер имеет два выхода: прямой и инверсный. Число входов зависит от структуры и функций, выполняемых триггером.

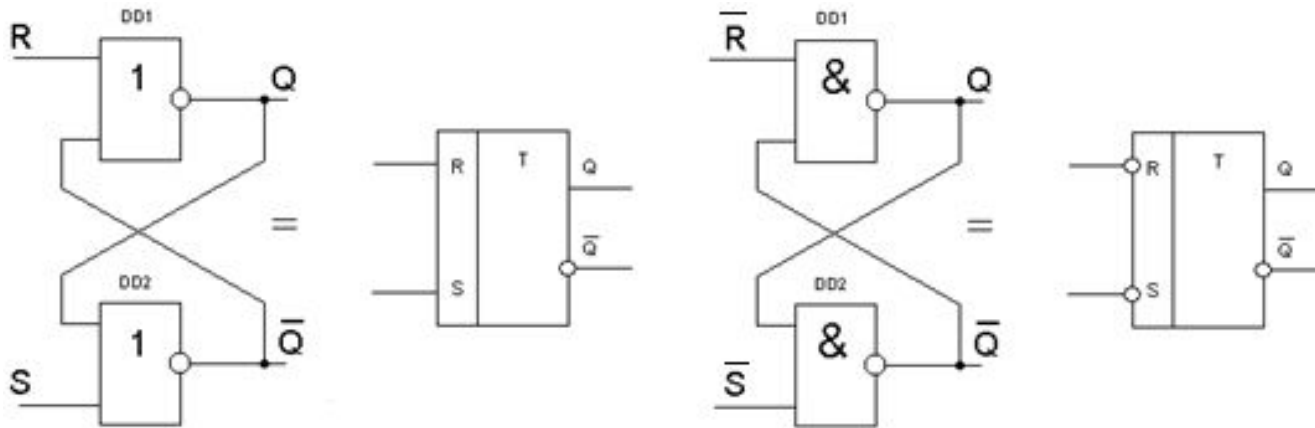


Рисунок 1 – Асинхронный RS-триггер

По способу записи информации триггеры делят на

- асинхронные и
- синхронизируемые (тактируемые).

В асинхронных триггерах записанная информация определяется сигналами, действующими на информационных входах в данный момент времени.

Синхронные RS-триггеры

Схема RS-триггера позволяет запоминать состояние логической схемы, но так как в начальный момент времени может возникать переходный процесс (в цифровых схемах этот процесс называется "гонки"), то запоминать состояния логической схемы в триггерах нужно только в определённые моменты времени, когда все переходные процессы закончены.

Это означает, что большинство цифровых схем требуют сигнала синхронизации (тактового сигнала). Все переходные процессы в комбинационной логической схеме должны закончиться за время длительности или периода синхросигнала, подаваемого на входы триггеров.

Если информация заносится в триггер только в момент действия так называемого синхронизирующего сигнала, то такой триггер называют синхронизируемым или тактируемым.

Помимо информационных входов тактируемые триггеры имеют тактовый вход

C	R	S	Q(t)	Q(t+1)	Пояснения
0	x	x	0	0	Режим хранения информации
0	x	x	1	1	
1	0	0	0	0	Режим хранения информации
1	0	0	1	1	
1	0	1	0	1	Режим установки единицы S=1
1	0	1	1	1	
1	1	0	0	0	Режим записи нуля R=1
1	1	0	1	0	
1	1	1	0	*	R=S=1 запрещенная комбинация
1	1	1	1	*	

Сигналы только в момент времени, определяемый

и синхр

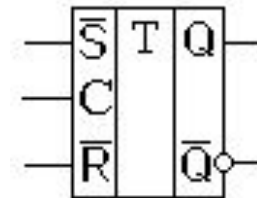
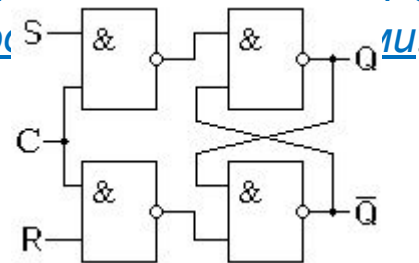


Рисунок 2 – Синхронный RS-триггер

Тактируемый D-триггер

Так как, сигналы установки (вход S) и сброса (вход R) триггера не могут подаваться одновременно, то можно объединить эти входы при помощи инвертора.

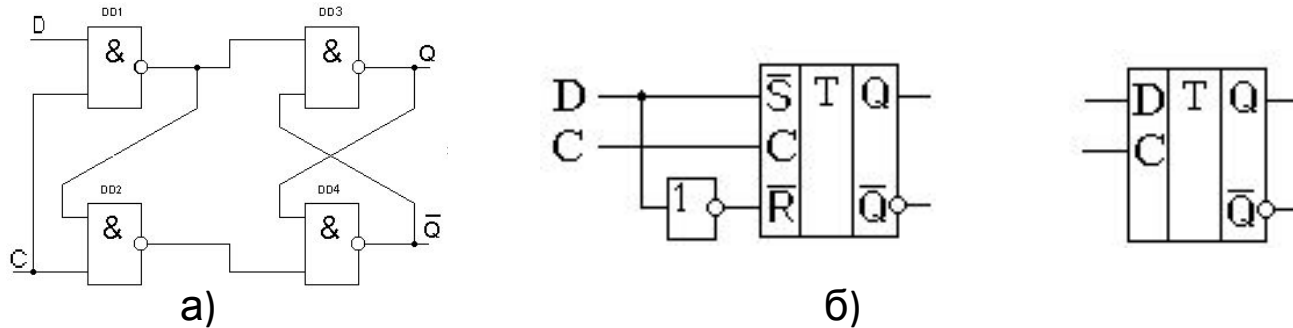
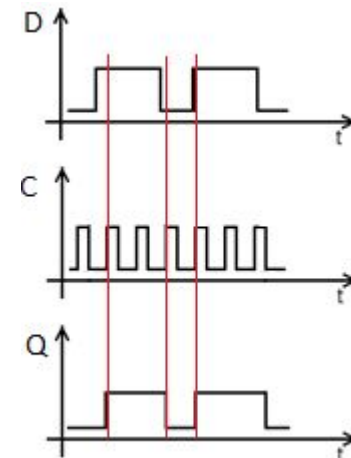


Рисунок 3^{В)} Синхронный D-триггер. А) принципиальная схема, б) преобразование синхронного RS-триггера в D-триггер, в) УГО D-триггера

Такой триггер получил название **D триггер**. Название происходит от английского слова *delay* — задержка. Он имеет один информационный выход и вход синхронизации. Конкретное значение задержки определяется частотой следования импульсов синхронизации.

Таблица истинности D-триггера

C	D	Q(t)	Q(t+1)	Пояснения
0	x	0	0	Режим хранения информации
0	x	1	1	
1	0	x	0	Режим записи информации
1	1	x	1	



Временная диаграмма работы D-триггера

Управление синхронным триггером

Триггеры-защёлки — синхронные триггеры работающие по уровню синхросигнала. Принципиально в такой схеме входной переходной процесс может беспрепятственно проходить на выход триггера.

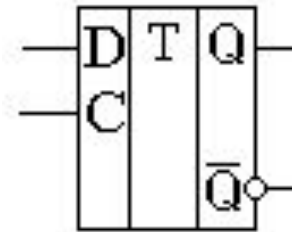
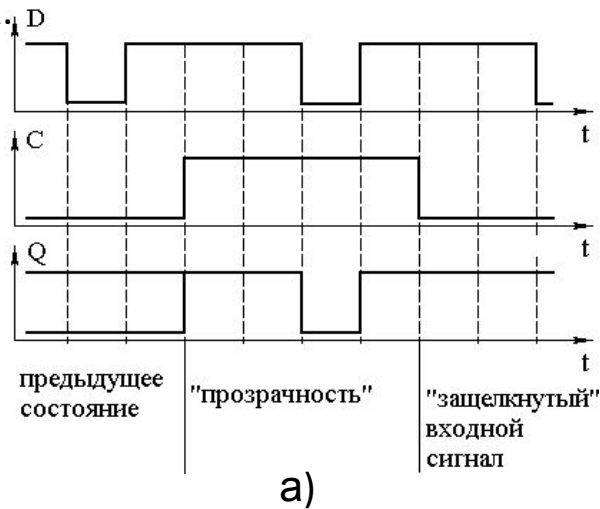


Рисунок 5 – а) временная диаграмма работы D-триггера (защелки), б) УГО

По этой временной диаграмме видно, что триггер-защелка хранит данные на выходе только при нулевом уровне на входе синхронизации.

Если же на вход синхронизации подать активный высокий уровень, то напряжение на выходе триггера будет повторять напряжение, подаваемое на его вход.

Входное напряжение запоминается только в момент изменения уровня напряжения на входе синхронизации C с высокого уровня на низкий уровень. Входные данные как бы "защелкиваются" в этот момент, отсюда и название — триггер-защелка.

Поэтому там, где это важно, необходимо сокращать длительность импульса синхронизации до минимума. Чтобы преодолеть такое ограничение были разработаны триггеры, работающие по фронту синхросигнала.

Триггеры, работающие по фронту синхросигнала

Фронт сигнала синхронизации, в отличие от высокого (или низкого) потенциала, не может длиться продолжительное время. В идеале длительность фронта равна нулю. Поэтому в триггере, запоминающем входную информацию по фронту не нужно предъявлять требования к длительности тактового сигнала.

Триггер, запоминающий входную информацию по фронту, может быть построен из двух триггеров, работающих по уровню. Сигнал синхронизации подаются на эти триггеры в противофазе.

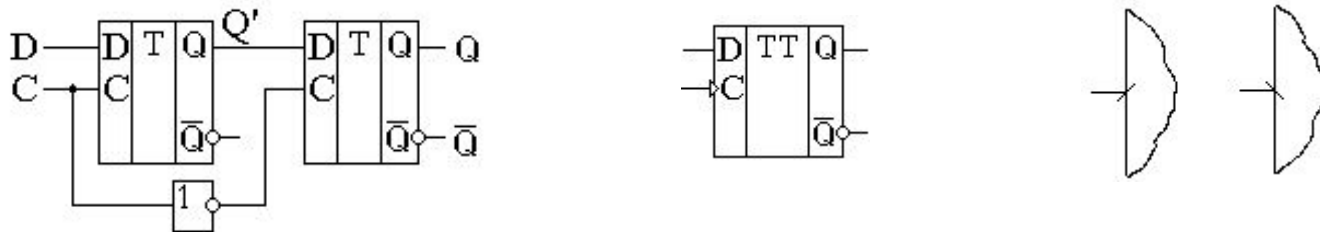
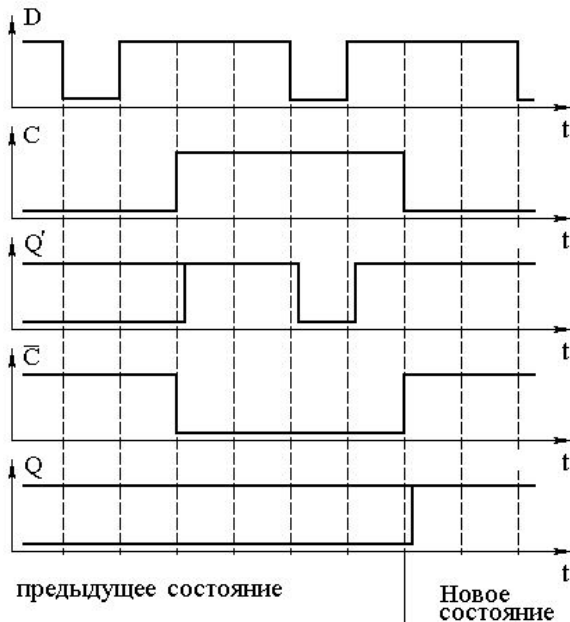


Рисунок 6 – Схема D-триггера, работающего по



Сигнал на выходе всей схемы в целом не зависит от сигнала на входе "D" схемы. Если первый триггер пропускает сигнал данных со своего входа на выход, то второй триггер в это время находится в режиме хранения и поддерживает на выходе предыдущее значение сигнала, то есть сигнал на выходе схемы тоже не может измениться.

Сигнал в схеме, приведенной на рисунке 6 запоминается только в момент изменения сигнала на синхронизирующем входе "C" с единичного потенциала на нулевой

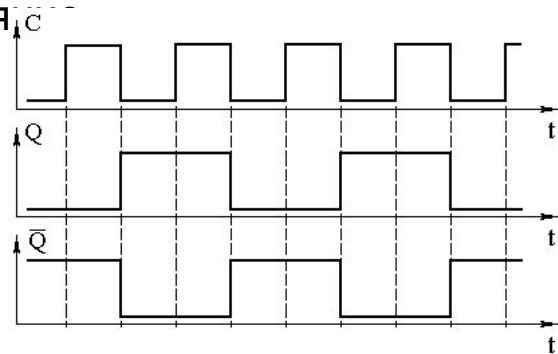
T-триггер — или счетный триггер. У данного триггера имеется только один вход.



Принцип работы T-триггера следующий: после поступления на вход T импульса, состояние триггера меняется на прямо противоположное.

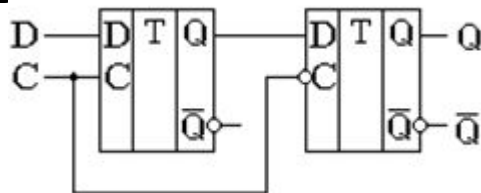
Счётным вход T называется потому, что T-триггер как бы подсчитывает количество импульсов, поступивших на его вход.

T-триггер умеет считать только до одного. При поступлении второго импульса T-триггер снова сбрасывается в исходное состояние.



T-триггеры строятся только на базе двухступенчатых триггеров, подобных рассмотренному ранее D-триггеру.

Использование двух триггеров позволяет избежать неопределенного состояния схемы при разрешающем потенциале на входе синхронизации "C", так как счетные триггеры строятся при помощи схем с обратной связью.



Регистры

ы

Регистром называется последовательное или параллельное соединение триггеров. Регистры обычно строятся на основе D-триггеров. При этом для построения регистров могут использоваться как триггеры с динамическим управлением, так и статические триггеры.

Параллельные регистры

Параллельный регистр служит для запоминания многобитового двоичного (или недвоичного) слова.

Количество триггеров, входящее в состав параллельного регистра определяет его разрядность.

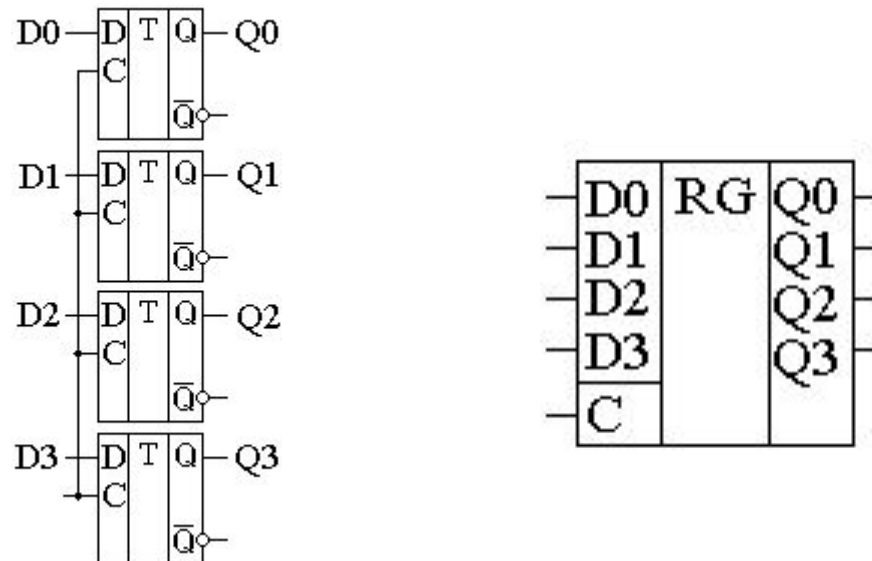


Рисунок 7 – Схема параллельного регистра и

его УГО

При записи информации в параллельный регистр все биты (двоичные разряды) должны быть записаны одновременно. Поэтому все тактовые входы триггеров, входящих в состав регистра, объединяются параллельно.

Последовательные (сдвиговые) регистры

Последовательный регистр (*регистр сдвига* или *сдвиговой регистр*) обычно служит для преобразования последовательного кода в параллельный и наоборот.

Применение последовательного кода связано с необходимостью передачи большого количества двоичной информации по ограниченному количеству соединительных линий.

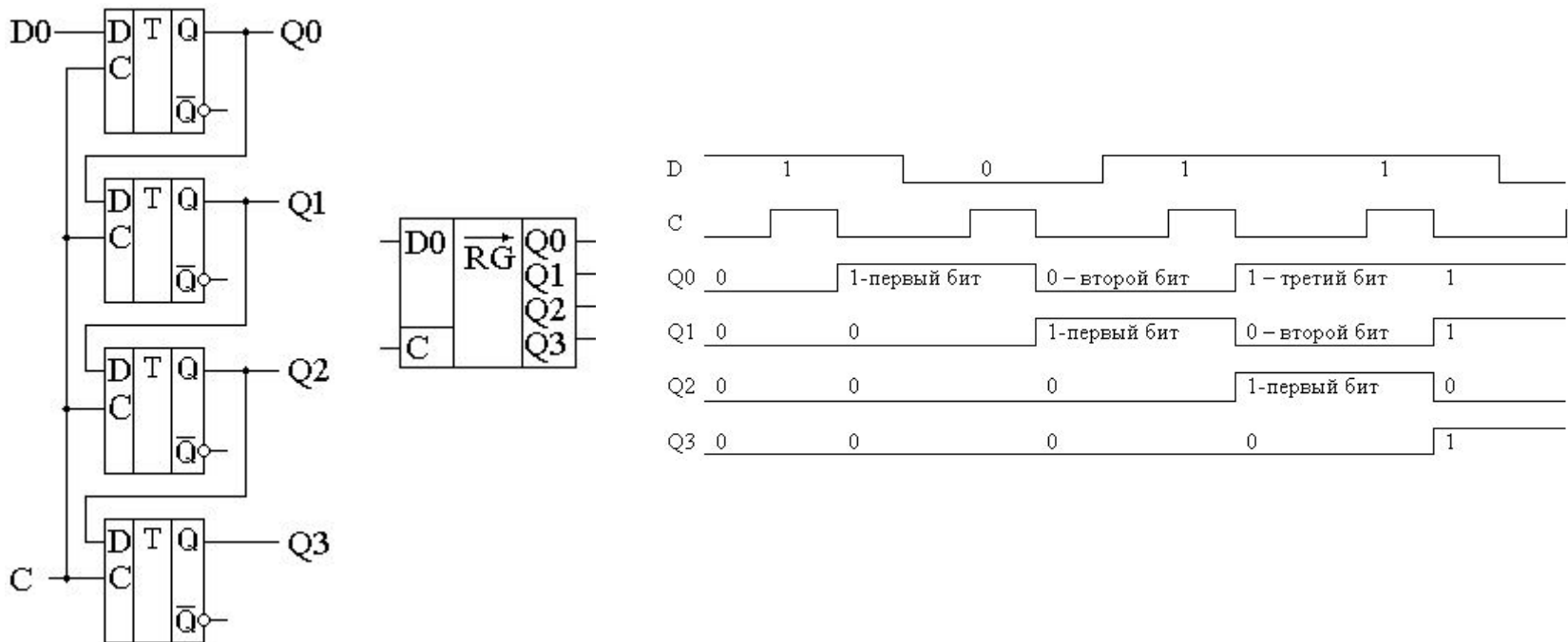


Рисунок 8 – Схема последовательного регистра, его УГО и временная диаграмма работы

Универсальные

регистры

Регистры сдвига выполняют обычно как универсальные последовательно-параллельные микросхемы. Это связано с необходимостью записи в регистр параллельного двоичного кода при преобразовании параллельного кода в последовательный.

Переключение регистра из параллельного режима работы в последовательный и наоборот осуществляется при помощи мультиплексора (коммутатора). Использование коммутатора позволяет входы D-триггеров универсального регистра либо подключать к внешним выводам микросхемы, либо подключать к выходу предыдущего триггера.

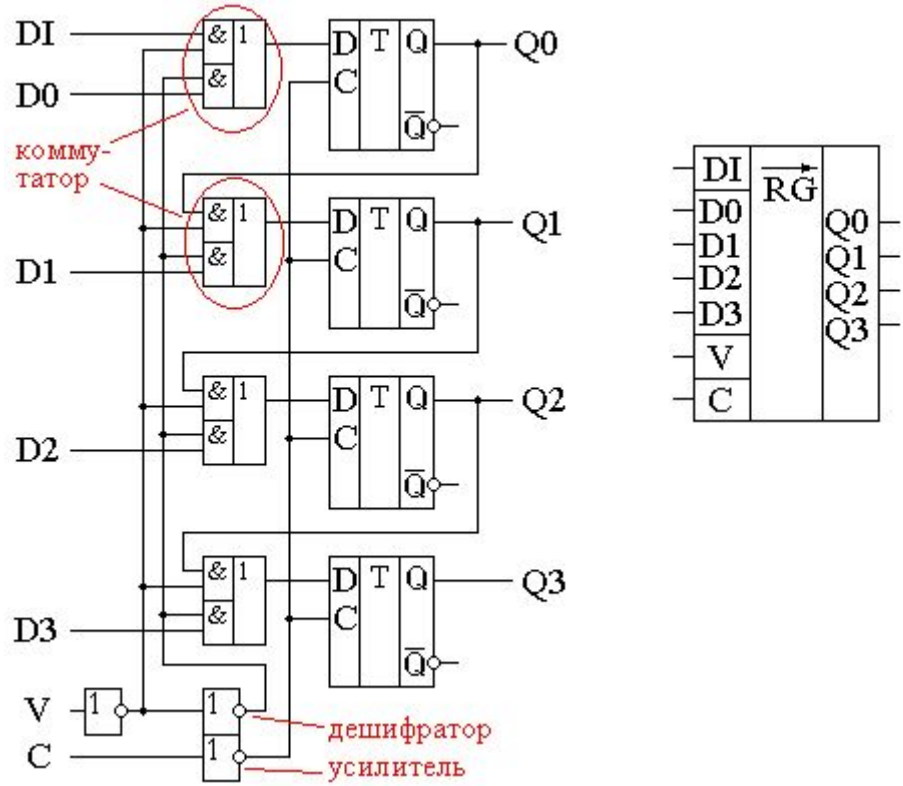


Рисунок 9 – Схема универсального регистра и его УГО

Счётчик

и

Счетчик импульсов – электронное устройство, предназначенное для подсчета числа импульсов, поданных на вход.

Счётчики используются для построения схем таймеров или для выборки инструкций из ПЗУ в микропроцессорах. Они могут использоваться как делители частоты в управляемых генераторах частоты (синтезаторах). При использовании в цепи Фазовой Автоподстройки (ФАП) счётчики могут быть использованы для умножения частоты как в синтезаторах, так и в микропроцессорах

Двоичные асинхронные счётчики

Двоичный асинхронный счетчик может быть построен на основе Т-триггера.

Т-триггер изменяет своё состояние на прямо противоположное при поступлении на его вход синхронизации импульсов.

Для реализации Т-триггера обычно используют универсальный D-триггер с обратной связью.

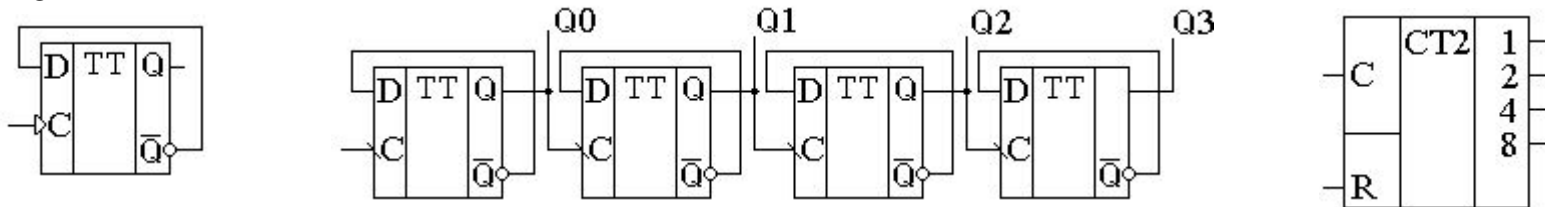


Рисунок 10 – Схема четырехразрядного счётчика, построенного на универсальных D-триггерах и его УГО

Двоичный счётчик имеет $K = 2^n - 1$ состояний.

Счетчики могут быть суммирующими, вычитающими и реверсивными.

Недвоичные счётчики с обратной СВЯЗЬЮ

Недвоичный счётчик имеет $K = 2^n - 1$ состояний. Принцип построения таких счётчиков состоит в исключении некоторых устойчивых состояний обычного двоичного счетчика.

Исключающие состояния счетчика называют избыточными. Исключение из избыточных состояний осуществляется с помощью введения обратных связей внутри счетчика. Для этого при помощи дешифратора определяется число, соответствующее заданному коэффициенту счёта, и сигнал с выхода этого дешифратора обнуляет содержимое двоичного счётчика при достижении заданного числа.

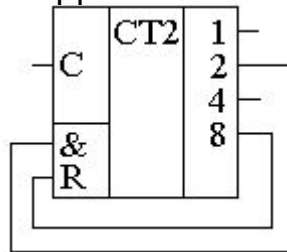


Рисунок 11 – Схема десятичного счётчика, построенного на основе двоичного счётчика

В схеме (рисунок 11) дешифратор построен на двухвходовой схеме "2И", входящей в состав микросхемы двоичного счётчика. Дешифратор декодирует число 10 (или 1010 в двоичной системе счисления).

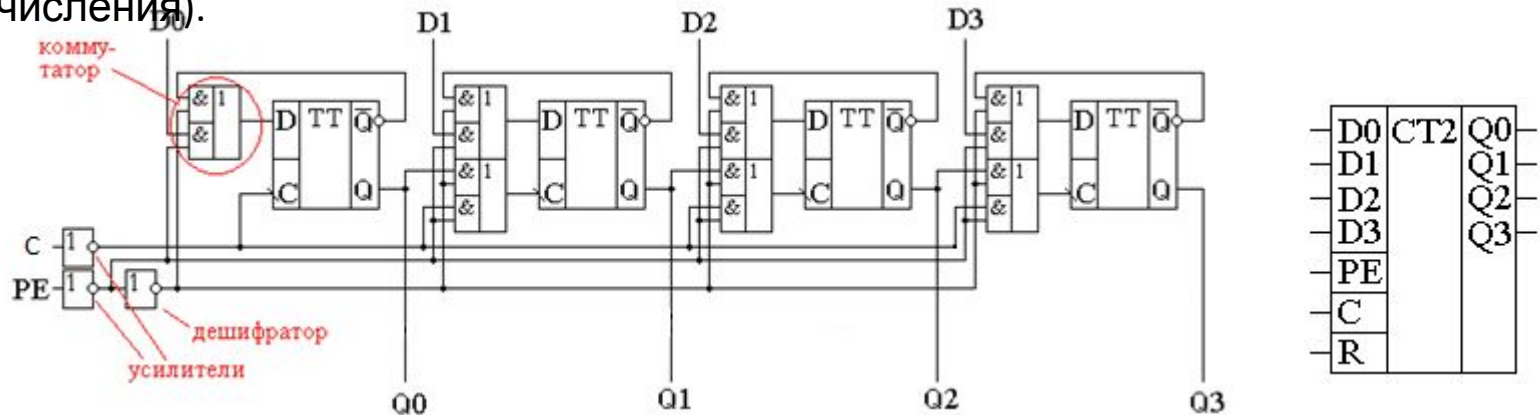


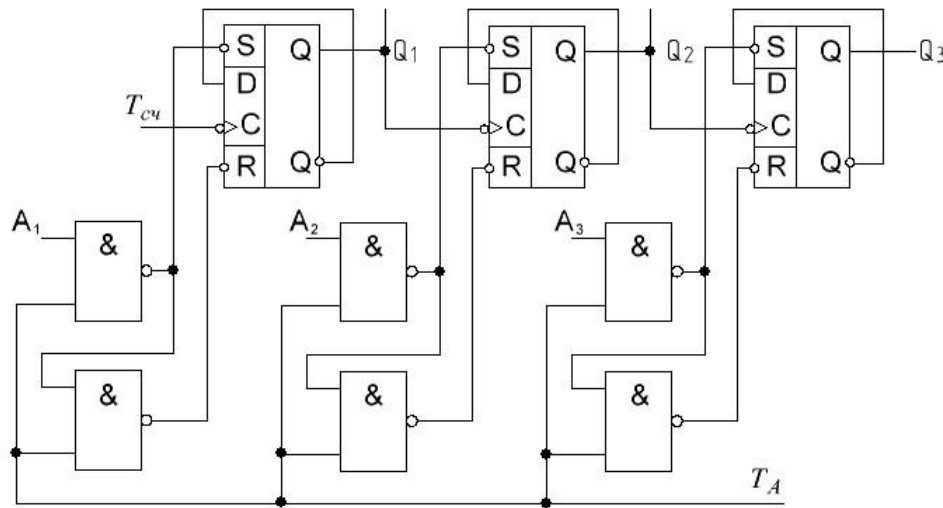
Рисунок 12 – Счётчик, с возможностью параллельной записи двоичных кодов и его УГО

Адресные счетчики

В устройствах управления вычислительных систем и автоматики часто возникает задача произвольного задания адресов начала выполнения команд с последующим увеличением (модификаций) адреса команды на единицу.

Такие функции реализуются на **адресных счетчиках**, которые наряду со счетным входом имеют входы для параллельной записи информации.

Схема одного из вариантов такого счетчика показана на рисунке 13.



$$S = \overline{A \cdot T_A}$$

$$R = \overline{\overline{A \cdot T_A \cdot T_A}}$$

A	T _A	S	R
0	0	1	1
0	1	1	0
1	0	1	1
1	1	0	1

Рисунок 13 – Схема адресного счетчика

Счетчик выполнен на основе синхронных (тактируемых) *D*-триггеров, имеющих асинхронные входы R и S непосредственной установки триггера, которые можно использовать для организации адресных входов счетчика A1–A3.

Запись кода адреса в счетчик происходит при подаче импульсного сигнала на вход T_A, при этом на счетном входе сигнал должен отсутствовать.

Так, при адресном коде 101₂ (A1 = 1, A2 = 0, A3 = 1) и при поступлении сигнала на вход T_A в счетчик запишется код 101₂. В результате последующий счет импульсов T_{сч}, поступающих на вход счетчика, начнется с кода 101₂.

Двоичные синхронные (параллельные) счётчики

В синхронных счётчиках синхроимпульсы поступают на все триггеры счетчика параллельно.

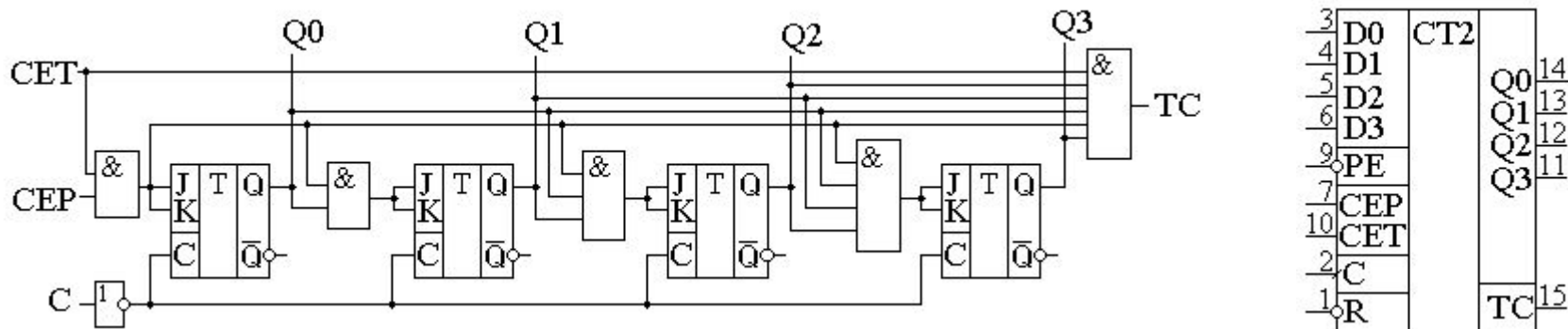


Рисунок 14 – Принципиальная схема четырёхразрядного синхронного двоичного счётчика и его УГО

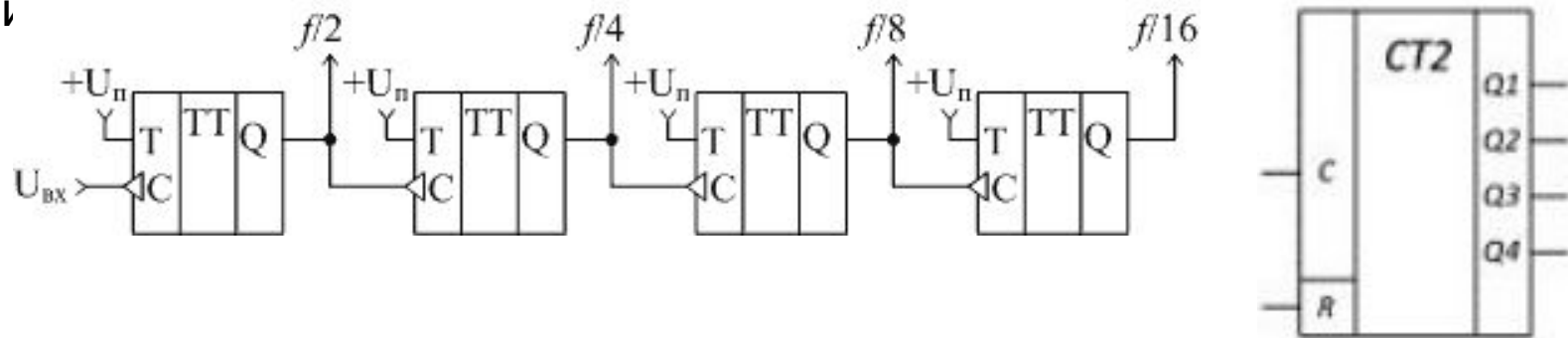
В этой схеме счётные триггеры реализованы на основе JK-триггера. В ней все триггеры переключаются одновременно, так как входной тактовый сигнал счётчика подаётся на вход синхронизации сразу всех триггеров. Разрешение переключения счётного триггера формируется схемами "И", включёнными между триггерами.

При использовании нескольких микросхем для формирования переноса, предназначенного для последующих разрядов двоичного счётчика, в приведённой схеме синхронного счётчика формируется сигнал TC. В следующих микросхемах этот сигнал подаётся на входы CER или CET. Переключение триггеров в схеме возможно только при подаче на оба этих входа логической единицы.

Счётчики- делители

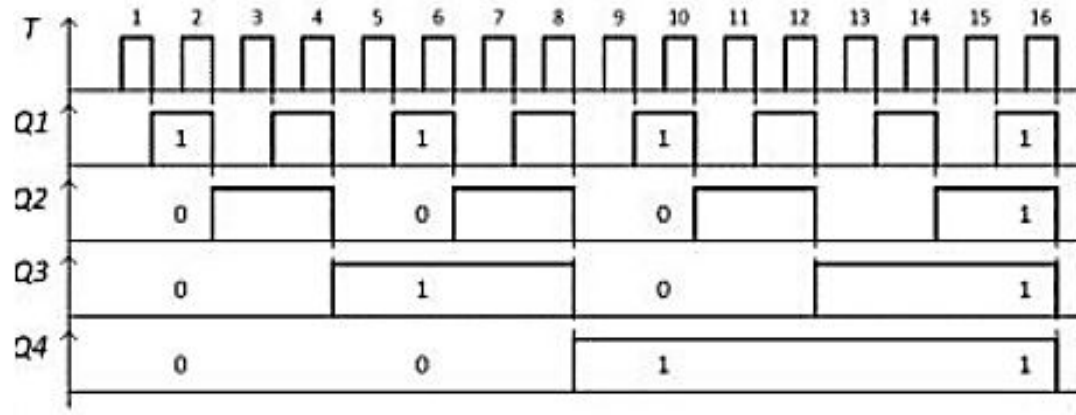
Счетчик-делитель предназначен для деления входной частоты с коэффициентом деления 2^n . Он имеет один вход и один выход.

Простейший такой счетчик можно получить, соединив последовательно n Т-три



а)

б)



в)

Рисунок 15 – а) принципиальная схема четырёхразрядного двоичного счётчика-делителя, б) УГО, в) временная диаграмма работы счётчика

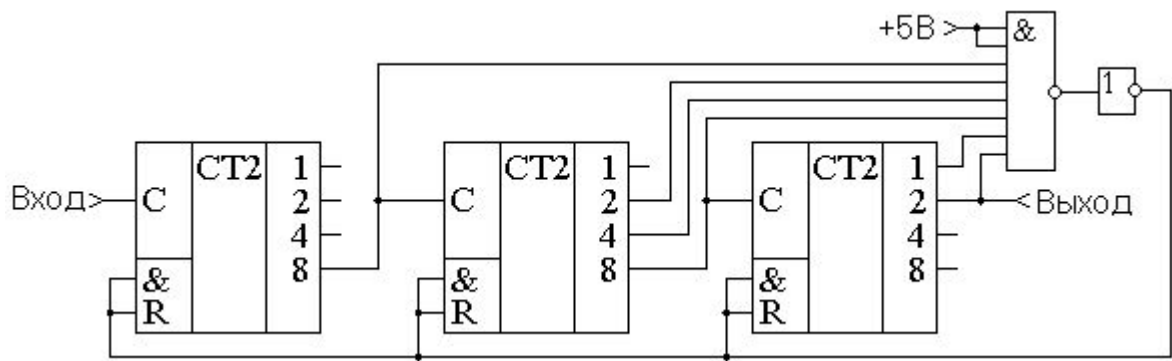


Рисунок 16 – Принципиальная схема делителя на 1000

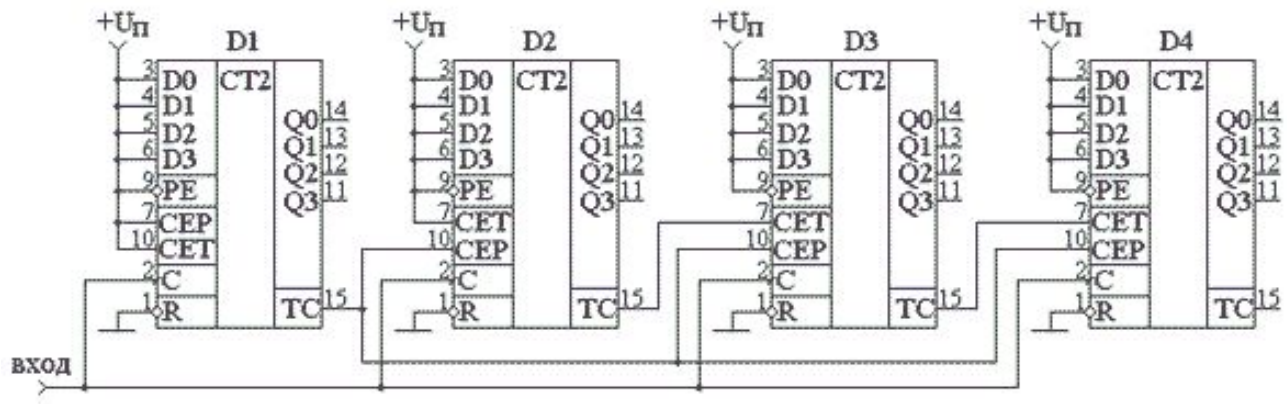


Рисунок 17 – Принципиальная схема 16-разрядного делителя частоты на микросхемах синхронного двоичного счётчика K1533IE10