



Кафедра «Информационные технологии»

**Дисциплина «Основы микропроцессорной
техники»**

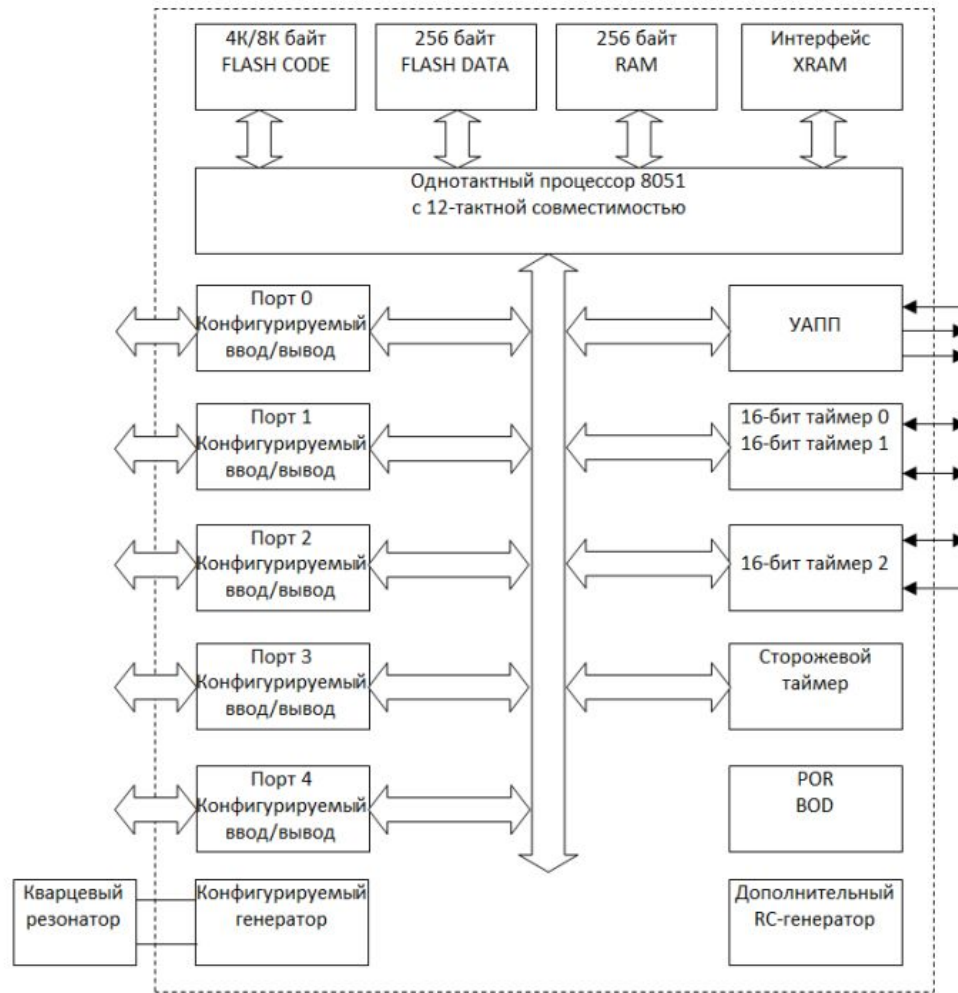
Тема 3. «АРХИТЕКТУРА МИКРОПРОЦЕССОРА»

старший преподаватель **Ергалиева Айжан Муратовна**

Архитектура микропроцессора - это его логическая организация, определяемая возможностями МП по аппаратной и программируемой реализации функций, необходимых для построения микропроцессорной системы. Понятие архитектуры включает в себя:

- структуру МП;
- способы обращения ко всем доступным пользователю элементам структуры;
- способы представления и форматы данных; □ набор операций, выполняемых МП;
- способы адресации данных, участвующих в операциях;
- форматы управляющих слов, поступающих от периферийных устройств;
- характеристики и назначения управляющих сигналов, вырабатываемых МП;
- реакцию МП на внешние сигналы.

Архитектуру микропроцессора рассмотрим на примере центрального процессорного элемента микроконтроллера AT89LP51/52. Упрощённая структура микроконтроллера показана на рис. 3.1.



POR – Power-On Reset; BOD – Brown-Out Detection

Рис.3.1. Упрощенная структурная схема микроконтроллера AT89LP51/52

Особенности архитектуры микроконтроллера AT89LP51/52

- 8-разрядный микроконтроллер, совместимый с 8051 (1980 г.).
- Улучшенная архитектура 8051: - один такт на выборку байта; - 12 тактов в режиме совместимости машинного цикла; - до 20 MIPS (Мега инструкций/сек) при тактовой частоте 20 МГц; - полностью статические операции: от 0 Гц до 20 МГц; - внутренний 2-х тактный аппаратный умножитель цикла; - внутреннее ОЗУ 256 x 8; - интерфейс внешней памяти данных/программы; - два указателя данных; - 4 уровня приоритета прерываний.
- Энергонезависимая память программ и данных: - 4К/8К байтовая программируемая в системе (ISP) флэш-память программ; - 256 байтовая флэш-память данных; - 256 байтовый сигнатурный массив пользователя; - 10 000 циклов записи/стирания; - последовательный интерфейс для загрузки программы; - быстрый режим программирования 64 байтовыми страницами; - 3-х уровневая программа для блокировки памяти (Software Security); - программирование памяти программ из приложения.
- Периферийные особенности: - три 16-разрядных таймера/счетчика; - улучшенный приемопередатчик: - автоматическое распознавание адреса; - обнаружение ошибки кадра; - режимы эмуляции интерфейсов SPI (Serial Peripheral Interface) и TWI (Two-wire Serial Interface) для программирования микроконтроллера; - программируемый сторожевой таймер с программным сбросом и предварительным делителем.

- Специальные функции микроконтроллера: - обнаружение неустойчивого питания (BOD) и сброс по включению питания (POR) с флагом Power-off; - выбор полярности на выводе внешнего сброса; - энергосберегающие режимы Low Power Idle и Power-down; - восстановление по прерыванию из режима Power-down; - дополнительный внутренний генератор 1,8432 МГц. • Ввод-вывод и корпуса:
- Конфигурируемые режимы портов (по 8 бит на порт): - до 36 линий программируемого ввода-вывода; - квази-двунаправленный (80C51); - двунаправленный (Tristate); - подтянутый к питанию CMOS выход; - с открытым стоком. • Экологические корпуса (без свинца/галогенида): - 40-выводный PDIP; - 44-выводный корпус TQFP/PLCC; - 44-выводный VQFN/MLF. • Условия эксплуатации: - диапазон напряжений VCC 2.4V - 5.5V; - диапазон температур от -40 °C до 85 °C; - от 0 до 20 МГц @ 2.4V-5.5V; - от 0 до 25 МГц @ 4.5V-5.5V.

Структура процессора

Структурная схема процессора 8051 приведена на рис. 3.1. Процессор 8051 является функционально законченным параллельным 8-разрядным устройством с фиксированной системой команд. Его структурная схема изображена на рис. 3.2.

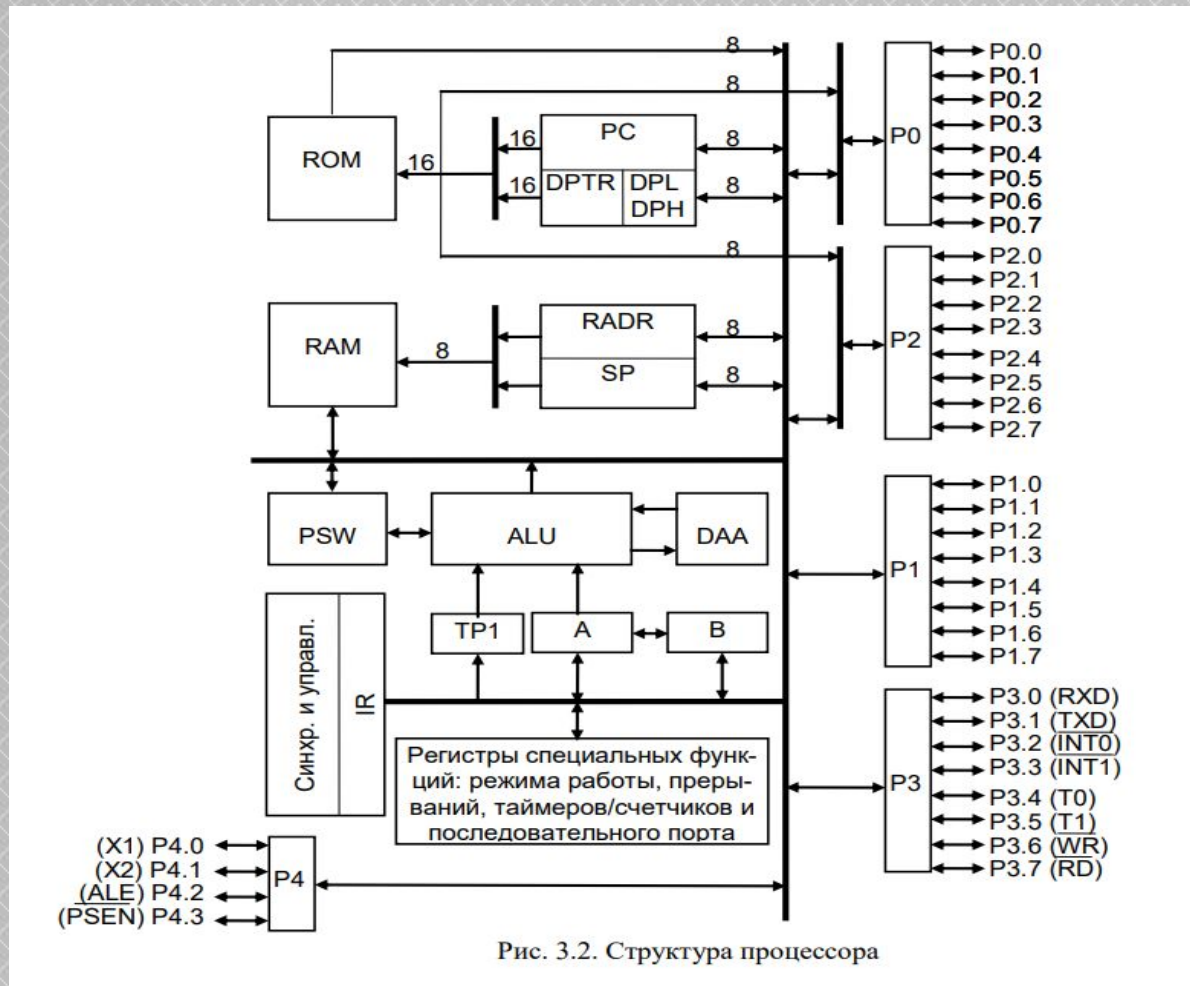


Рис. 3.2. Структура процессора

Порты ввода/вывода Порты ввода/вывода P0, P1, P2 и P3 работают в четырех режимах. Значение по умолчанию зависит от fuse-бита Tristate-Port. Когда fuse-бит установлен, все порты ввода/вывода при включении питания или сбросе возвращаются в режим только для ввода (в третьем состоянии). Если fuseбит не активен, порты P1, P2 и P3 стартуют в квази-двунаправленном режиме, а P0 в двунаправленном режиме с открытым стоком. Порт P4 всегда работает в квази-двунаправленный режим. P0 может быть настроен на внутреннее подтягивание, задав его в квази- или двунаправленном режимах вывода.

Альтернативные функции порта P3

Символ	Позиция	Функция
RXD	P3.0	Вход приемника последовательного порта
TXD	P3.1	Выход передатчика последовательного порта
INT0'	P3.2	Вход внешнего прерывания 0
INT1'	P3.3	Вход внешнего прерывания 1
T0	P3.4	Внешний вход или выход таймера/счетчика 0
T1	P3.5	Внешний вход или выход таймера/счетчика 1
WR'	P3.6	Строб Write интерфейса внешней памяти (активный-низкий уровень).
RD'	P3.7	Строб Read интерфейса внешней памяти (активный-низкий уровень).

Альтернативные функции порта P4

Символ	Позиция	Функция
X1	P4.0	Вход в инвертирующий усилитель генератора и внутренние схемы генерации тактовых импульсов. Его можно использовать как вывод порта, если в качестве источника тактового сигнала выбран внутренний RC-генератор.
X2	P4.1	Выход инвертирующего усилителя генератора. Его можно использовать в качестве вывода порта, если в качестве источника тактового сигнала выбран внутренний RC-генератор или внешний тактовый генератор.
ALE	P4.2	Разрешение защелки адреса в интерфейсе внешней памяти.
PSEN'	P4.3	Разрешение стоба программы в интерфейсе внешней памяти (активный-низкий уровень).

Регистры данных. Регистр А (аккумулятор) предназначен для обмена информацией с внешними устройствами. При выполнении арифметических, логических и сдвиговых операций аккумулятор служит источником операнда, в него же помещается результат выполненной операции. Расширитель аккумулятора (В) используется для увеличения разрядности до 16 бит. 16-разрядный аккумулятор нужен в операциях умножения и деления. Блок регистров общего назначения R0, R1, R2, R3, R4, R5, R6, R7 используется для размещения 8-разрядных данных. Регистры размещены в оперативной памяти RAM, занимая 32 адреса с 00H по 1FH, и сгруппированы в 4 банка, подключаемых из регистра состояний PSW (см. табл.3.1).

Табл.3.1. Формат регистра PSW

Символ	Позиция	Название и назначение
C	PSW.7	Флаг переноса. Устанавливается и сбрасывается аппаратными средствами или программой при выполнении арифметических и логических операций
AC	PSW.6	Флаг вспомогательного переноса. Устанавливается и сбрасывается только аппаратными средствами при выполнении команд сложения и вычитания и сигнализирует о переносе или заеме в бите 3
F0	PSW.5	Флаг 0. Может быть установлен, сброшен или проверен программой как флаг, специфицируемый пользователем
RS1	PSW.4	Выбор банка регистров. Устанавливается и сбрасывается программой для выбора рабочего банка регистров. (См. примечание)
RS0	PSW.3	
OV	PSW.2	Флаг переполнения. Устанавливается и сбрасывается аппаратно при выполнении арифметических операций
-	PSW.1	Не используется
P	PSW.0	Флаг паритета. Устанавливается и сбрасывается аппаратно и фиксирует четное/нечетное количество единичных бит, т.е. выполняет контроль по четности/нечетности

Примечание. Выбор рабочего банка регистров

RS1	RS0	Банк	Границы адресов
0	0	0	00H-07H
0	1	1	08H-0FH
1	0	2	10H-17H
1	1	3	18H-1FH

Указатель стека. 8-разрядный регистр служит для адресации особого вида памяти, называемый стеком. Стек - память с упрощенной формой адресации байтов, размещение которых осуществляется по правилу: последний вошел, первый вышел (LIFO). В качестве стека может использоваться любая область оперативной памяти. Указатель стека содержит адрес входа в стек (вершины стека). При записи в стек байта (см. рис. 3.3) содержимое указателя стека увеличивается на 1: $SP+1$, и по этому адресу происходит запись. После чтения из стека содержимое регистра указателя стека уменьшается на 1: $SP-1$. Такой способ адресации элементов стека называется прединкрементным/постдекрементным.



Рис. 3.3. Содержимое указателя стека при записи и чтении данных

Счетчик команд. 16-разрядный регистр PC предназначен для хранения текущего адреса инструкции. Он автоматически увеличивается на 1, 2 или 3 и т.д., в зависимости от формата выполненной команды, или загружается новым адресом при переходе или вызове подпрограммы.

Указатель данных. 16-разрядный регистр DPTR предназначен для фиксации адреса в операциях с обращением к внешней памяти данных. Он используется и как 16-разрядный регистр, и как два независимых 8-разрядных регистра DPH и DPL. Также в качестве указателей могут быть применены регистры общего назначения R0 и R1.

Арифметико-логическое устройство (АЛУ). В 8-разрядном АЛУ предусмотрена возможность выполнения арифметических операций: сложение с учетом переноса и без него, вычитание с учетом заёма, умножение и деление; четырех логических операций: конъюнкции, дизъюнкции, неравнозначности и сравнения и четырех видов циклического сдвига. При выполнении арифметических и логических операций одним из операндов служит содержимое аккумулятора, результат операции помещается туда же. Циклический сдвиг выполняется только над содержимым аккумулятора.

Регистр состояний. Для управления процессом выполнения программы используется слово состояния программы PSW, которое содержит флаги признаков, определяемых результатом выполнения арифметических и логических операций, и статусные биты. Формат регистра слова состояния программы представлен в табл. 3.1.

Символ	Позиция	Название и назначение
C	PSW.7	Флаг переноса. Устанавливается и сбрасывается аппаратными средствами или программой при выполнении арифметических и логических операций
AC	PSW.6	Флаг вспомогательного переноса. Устанавливается и сбрасывается только аппаратными средствами при выполнении команд сложения и вычитания и сигнализирует о переносе или заеме в бите 3
F0	PSW.5	Флаг 0. Может быть установлен, сброшен или проверен программой как флаг, специфицируемый пользователем
RS1	PSW.4	Выбор банка регистров. Устанавливается и сбрасывается программой для выбора рабочего банка регистров. (См. примечание)
RS0	PSW.3	
OV	PSW.2	Флаг переполнения. Устанавливается и сбрасывается аппаратно при выполнении арифметических операций
-	PSW.1	Не используется
P	PSW.0	Флаг паритета. Устанавливается и сбрасывается аппаратно и фиксирует четное/нечетное количество единичных бит, т.е. выполняет контроль по четности/нечетности

Примечание. Выбор рабочего банка регистров

RS1	RS0	Банк	Границы адресов
0	0	0	00H-07H
0	1	1	08H-0FH
1	0	2	10H-17H
1	1	3	18H-1FH

Блок управления. Он состоит из регистра инструкций (команд), куда принимается первый байт инструкции, и управляющего устройства, формирующего сигналы, под действием которых в отдельных его узлах выполняются микрооперации. Управляющее устройство содержит выполненную на программируемой логике управляющую память для размещения там микропрограмм всех операций. Изменить содержимого в управляющей памяти пользователь не может, и поэтому МП имеет фиксированный набор команд. Буферные регистры. Буферные регистры данных и адреса обеспечивают связь центрального процессора с внешним миром. Особенность их в том, что они имеют три состояния - кроме низкого и высокого уровней напряжения имеется высокоимпедансное состояние, при котором микропроцессор отключается от внешних шин, позволяя использовать их другим внешним устройствам.

Вопросы

1. Формат данных и инструкций
2. Режимы адресации
3. Сформулируйте понятие «Архитектура микропроцессорной системы» (МПС)
4. Дайте определение понятию архитектура ЭВМ. Опишите особенности Гарвардской архитектуры ЭВМ, и архитектуры ЭВМ Фон Неймана
5. Приведите классификацию ЭВМ по принципу действия и по назначению
6. Опишите обобщённую структуру МПС. Дайте определение понятиям память ЭВМ и процессор
7. Изложите принципы программного управления ЭВМ

СПАСИБО ЗА ВНИМАНИЕ!