

VERY **H**IGH **S**PEED **I**NTEGRATED **C**IRCUITS **H**ARDWARE **D**ESCRIPTION **L**ANGUAGE

(VHDL) – язык описания цифровых систем построенных на сверхскоростных интегральных схемах.

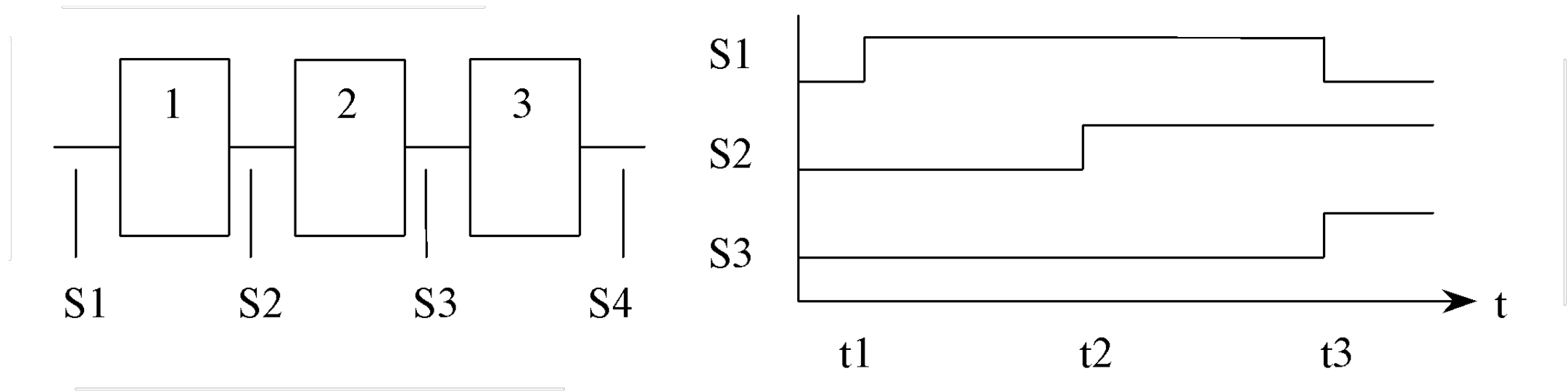
Начата разработка по заказу МО США в начале 80-х.

Первый стандарт – 1987 г., 1993 г. – один из самых распространенных, последний – 2008 г. (не поддерживается некоторыми САПР).

Особенности работы цифровых систем:

1. Цифровая система представляет собой набор блоков.
2. Они объединены между собой связями (проводами).
3. Цифровые системы работают во времени, преобразуя и передавая информацию.
4. Большую часть времени блок простаивает, ожидая изменения входного сигнала (события).
5. Сигналы в системе передаются и обрабатываются параллельно. Параллельно работают блоки системы.

Пример параллельной работы блоков системы.

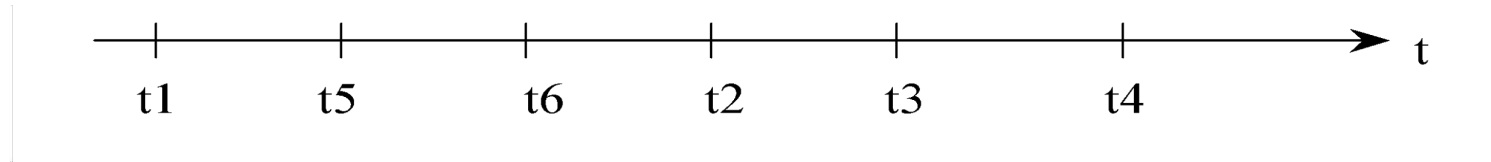


Особые конструкции VHDL.

(в сравнении с алгоритмическими языками)

1. Объекты данных: константы, переменные, сигналы.
2. Физические переменные. Нужно использовать единицы измерения. Стандартная переменная - время.
3. Операторы: последовательные и параллельные. Порядок их работы.
4. Вид моделирования – событийный.

Как работает моделирующая программа (симулятор).



Исходные данные: VHDL-описание (модель) схемы и диаграмма входных сигналов. t_1 , t_2 , t_3 , t_4 – моменты изменения входных сигналов.

В t_1 срабатывает 1-й блок схемы и на t_5 запланировано событие. В t_5 срабатывает другой блок схемы и на t_6 запланировано еще одно событие.

Симулятор продвигается по шкале модельного времени от события к событию. Это событийный принцип моделирования.

Интерфейс.

```
entity <имя объекта> is
    generic (настраиваемые параметры модели);
    port (списки входных и выходных сигналов);
end entity <имя объекта>;
```

```
Пример 1 entity comp1 is
    port (
        Inp1    : in bit;
        Inp2    : inout bit;
        Output  : out bit
    );
end comp1;
```

```
Пример 2 entity summ is
    generic (N: integer:=8); -- задано значение по умолчанию – 8
    port (
        S1     : in integer range 0 to 2**N-1;
        S2     : in integer range 0 to 2**N-1;
        SUM    : out integer range 0 to 2**(N+1)-1);
    );
end summ;
```

Архитектура (стиль описания потоковый).

Пример: дешифратор $2 \Rightarrow 4$. Здесь значение входного 2-хразрядного двоичного числа определяет, какой из 4-х светодиодов загорается.

Интерфейс:

```
entity Decoder_bcd is  
    port ( bcd : in bit_vector (1 downto 0);  
          led  : out bit_vector (0 to 3));  
end Decoder_bcd;
```

Архитектура:

```
architecture Dataflow of Decoder_bcd is  
begin  
    led(3) <= bcd(0) and bcd(1);  
    led(2) <= bcd(0) and (not bcd(1));  
    led(1) <= (not bcd(0)) and bcd(1);  
    led(0) <= (not bcd(0)) and (not bcd(1));  
end Dataflow;
```


Архитектура (стиль описания поведенческий).

Здесь другая архитектура дешифратора $2 \Rightarrow 4$.

```
architecture procedural of Decoder_bcd is
begin
  P1: process (bcd)
    begin
      case bcd is
        when "00" => led <= "0001";
        when "01" => led <= "0010";
        when "10" => led <= "0100";
        when "11" => led <= "1000";
      end case;
    end process P1;
end procedural;
```

Архитектура (стиль описания структурный).

Объект состоит из набора компонентов, связанных друг с другом сигналами. Для дешифратора $2 \Rightarrow 4$ это 2 инвертора и 4 элемента 2И.

architecture Structure **of** Decoder_bcd **is**

signal S: Bit_Vector(0 to 1); -- Внутренний сигнал

component AND_Gate

port(A,B: **in** Bit; D: **out** Bit);

end component;

component Inverter

port(A: **in** Bit; B: **out** Bit);

end component;

begin

Inv1:Inverter **port map** (A=>bcd(0), B=>S(0));

Inv2:Inverter **port map** (A=>bcd(1), B=>S(1));

A1:AND_Gate **port map** (A=>bcd(0), B=>bcd(1), D=>led(3));

A2:AND_Gate **port map** (A=>bcd(0), B=>S(1), D=>led(2));

A3:AND_Gate **port map**(A=>S(0), B=>bcd(1), D=>led(1));

A4:AND_Gate **port map**(A=>S(0), B=>S(1), D=>led(0));

end Structure;

Варианты задержек.

Инерционная, вариант 1

$Y \leq a \text{ and } b \text{ after } 35 \text{ ns};$

Инерционная, вариант 2

$Y \leq \text{reject } 10 \text{ ns } a \text{ and } b \text{ after } 35 \text{ ns};$

Транспортная

$Y \leq \text{transport '0' after } 35 \text{ ns};$