ОСНОВНЫЕ ТИПЫ АЦП

Аналого-цифровые преобразователи (АЦП) – это устройства, которые принимают входные аналоговые сигналы и генерируют соответствующие им цифровые коды, пригодные для обработки микропроцессорами и другими цифровыми устройствами

Общие сведения

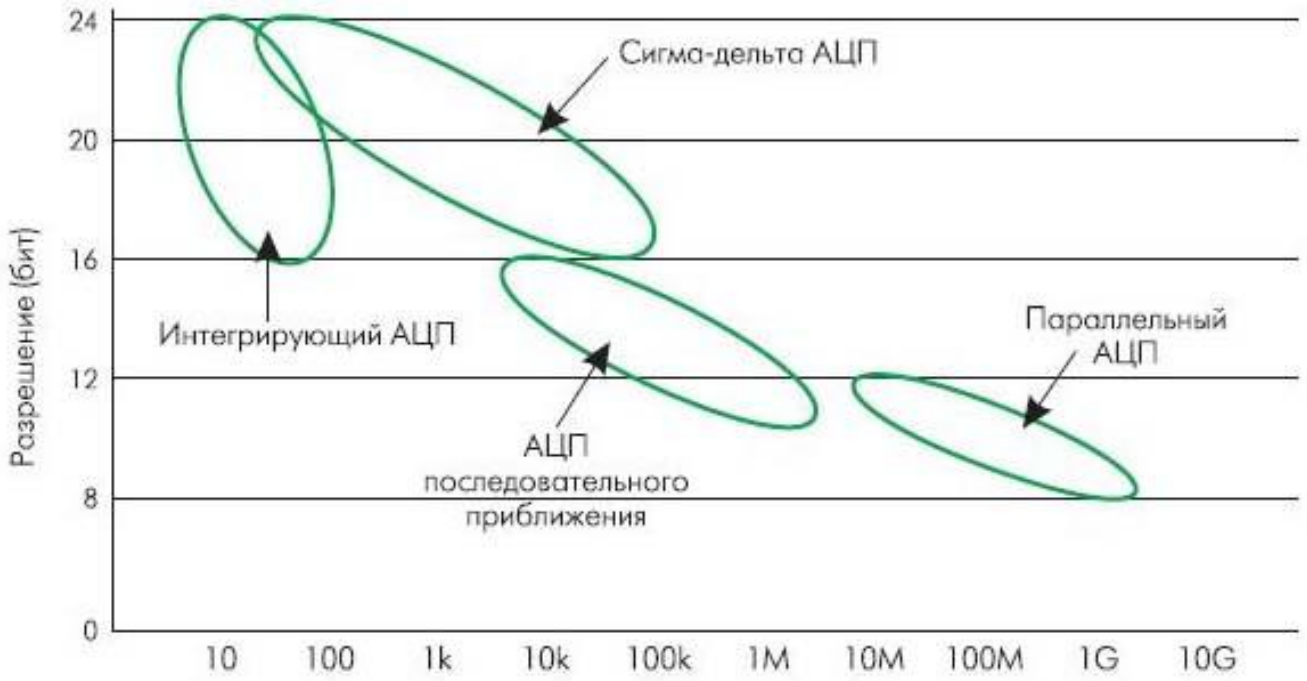


Рис. 1. Типы АЦП — разрешение в зависимости от частоты дискретизации

Различные типы измерительного оборудования используют различные типы АЦП. Например:

1. **В цифровом осциллографе** используется **высокая частота дискретизации,** но **не требуется высокое разрешение.**
2. **В цифровых мультиметрах** нужно **высокое разрешение**, но **можно пожертвовать скоростью измерения.**
3. **В системах сбора данных общего назначения скорость дискретизации и разрешающая способность** обычно занимают **место между осциллографам и цифровыми мультиметрам.**

Классификация АЦП

Существует несколько основных типов архитектуры АЦП. В пределах каждого типа существует также множество вариаций.

Рисунок 2 – Классификация АЦП

Параллельные АЦП для приложений, требующих **скоростной обработки аналоговых сигналов**

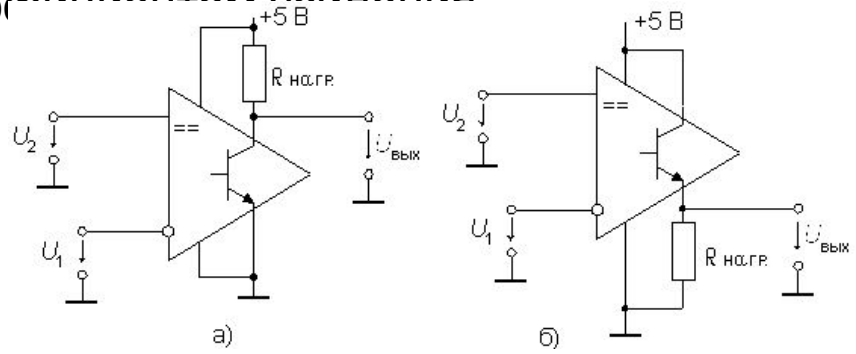
В измерительном оборудовании используются **АЦП последовательного приближения** либо **сигма-дельта АЦП**

интегрирующие АЦП с **высокими разрешением и помехоподавлением**

Компаратор

Компаратор – электронная схема, принимающая на свои входы два аналоговых сигнала и выдающая логическую «1», если сигнал на прямом входе больше, чем на инверсном входе, и логический «0», если сигнал на прямом входе меньше, чем на инверсном входе.

Компаратор – это операционный усилитель без обратной связи с большим коэффициентом усиления.

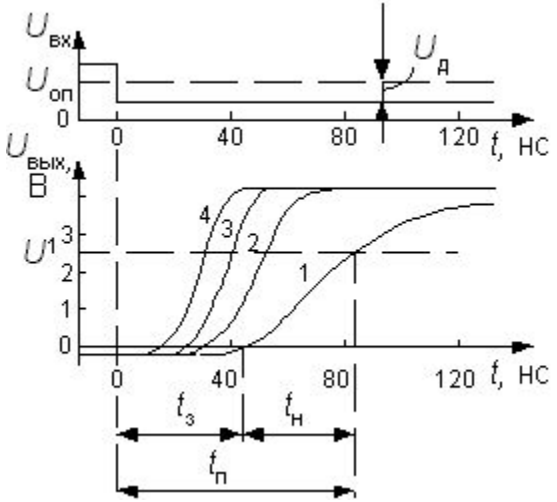


$$U_{вых} = \begin{cases} U^1_{вых} & \text{при } U_{вх} - U_{оп} > 0; \\ U^0_{вых} & \text{при } U_{вх} - U_{оп} < 0. \end{cases}$$

Рисунок 3. Схема включения компаратора в одно-полярное питание.
а - с общим эмиттером; б - эмиттерным повторителем.
Напряжение питания +5 вольт указано для уровня логики ТТЛ микросхем.

Параметры, характеризующие качество компараторов, можно разделить на три группы:

- точностные – как у операционного усилителя,
- динамические – время переключения $t_п$,
- эксплуатационные.



Параллельные АЦП

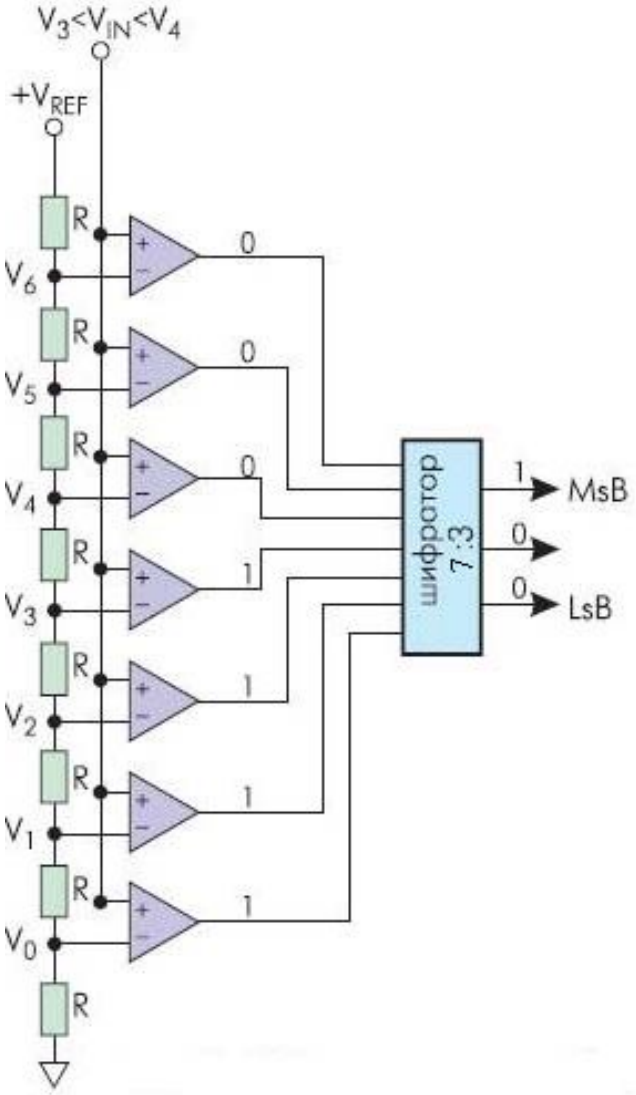


Рисунок 4 – Пример реализации параллельного метода АЦ-преобразования для 3-разрядного числа.

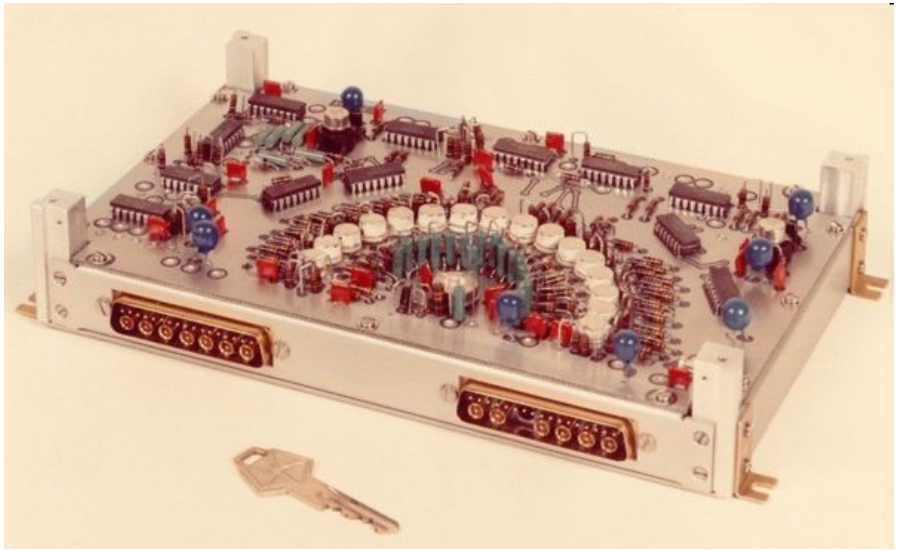
Основной принцип

АЦП параллельного типа осуществляют **квантование измерительного сигнала** ***одномоментно*** с помощью **набора компараторов**, включенных параллельно источнику входного сигнала.

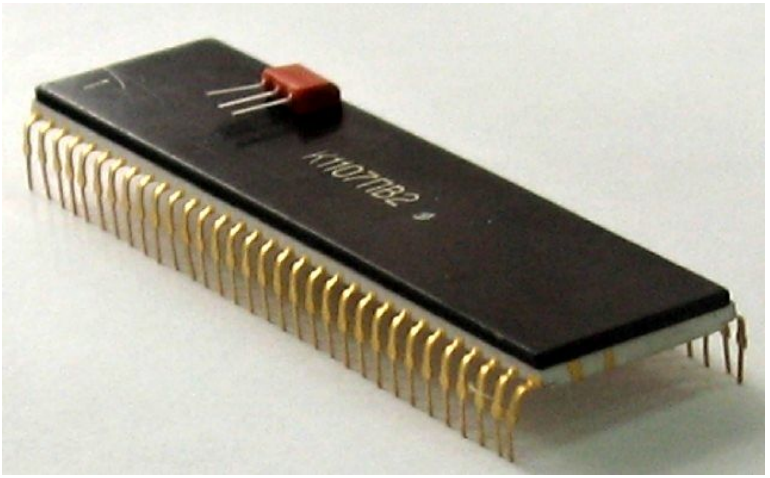
Массив компараторов, каждый из которых **сравнивает входное напряжение с индивидуальным опорным напряжением**. **Опорное напряжение** для каждого компаратора **формируется** на встроенном **прецезионном резистивном делителе**. Значения опорных напряжений начинаются со значения, равного половине младшего значащего разряда, и увеличиваются при переходе к каждому следующему компаратору с шагом, равным $\mathbf{V_{REF}/2^n}$.

Для 3-х разрядного АЦП требуется $\mathbf{2^3–1}$ или семь компараторов.

Для 8-разрядного параллельного АЦП потребуется уже 255 (или $(2^8–1)$) компараторов.



а)



б)

Рисунок 5 – а) АЦП прямого преобразования (1975 г.); б) быстродействующее параллельное АЦП К1107ПВ2

Устройство, изображенное на рисунке 5а, представляет собой АЦП прямого преобразования MOD-4100 производства Computer Labs, 1975 года выпуска, собранный на основе дискретных компараторов.

Компараторов 16 штук (они расположены полукругом, для того, чтобы уравнять задержку распространения сигнала до каждого компаратора), следовательно, АЦП имеет разрядность всего 4 бита.

Скорость преобразования 100 MSPS, потребляемая мощность 14 ватт.

АЦП последовательного типа

- АЦП последовательного счета
- АЦП последовательного приближения

АЦП последовательного счёта

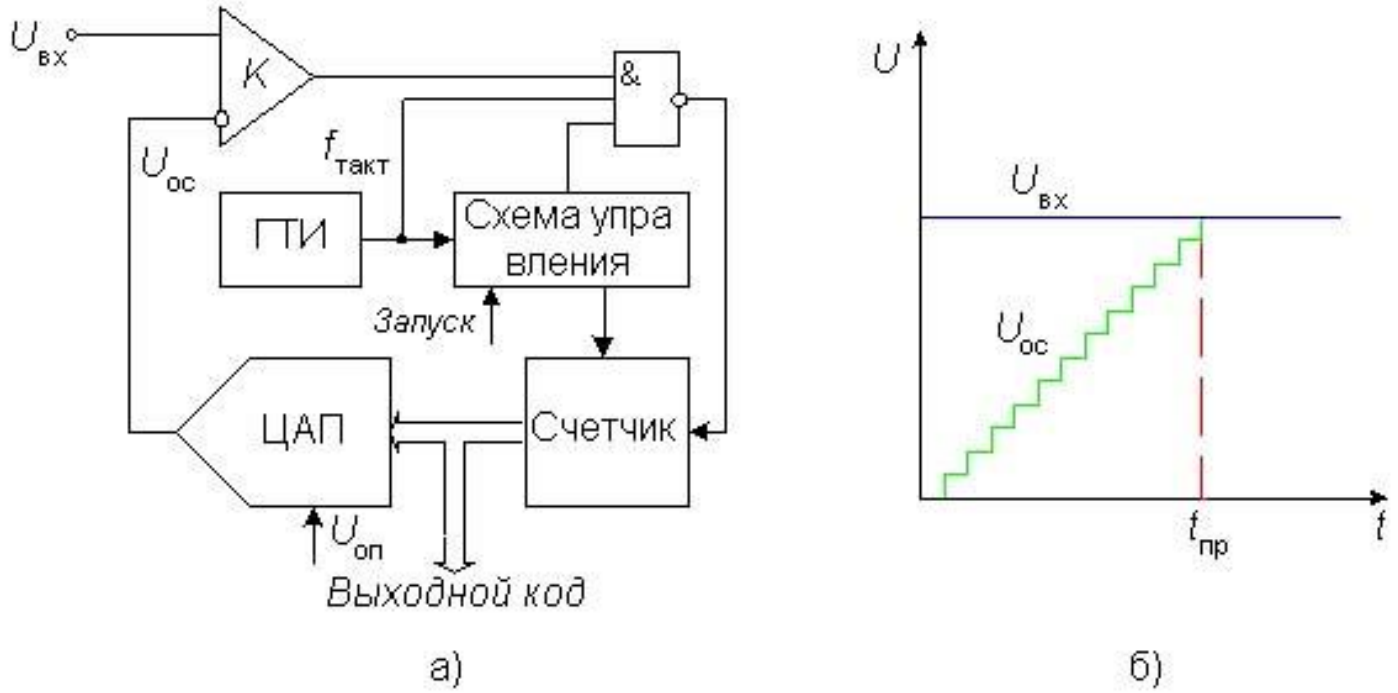


Рисунок 6 – а) Структурная схема АЦП последовательного счёта,
б) временная диаграмма

Процесс преобразования продолжается до тех пор, пока напряжение обратной связи не сравняется со входным напряжением, что приведёт к переключению компаратора, который своим выходным сигналом прекратит поступление тактовых импульсов на счетчик.

Переход выхода компаратора из 1 в 0 означает завершение процесса преобразования. Выходной код, пропорциональный входному напряжению ***в момент окончания преобразования***, считывается с выхода счетчика.

Время преобразования АЦП последовательного счёта

Максимальное значение времени преобразования соответствует максимальному входному напряжению и при разрядности двоичного счетчика N и частоте тактовых импульсов $f_{такт}$ равно

$$t_{пр.макс} = (2^N - 1) / f_{такт}$$

ПРИМЕР

При $N = 10$ и $f_{такт} = 1$ МГц $t_{пр.макс} = 1023$ мкс,

максимальная частота выборок будет порядка 1 кГц.

Статическая погрешность преобразования определяется **суммарной статической погрешностью используемых ЦАП и компаратора.**

Частота счетных импульсов выбирается **с учетом завершения всех переходных процессов** в компараторах.

Достоинста и неодостатки АЦП последовательного счёта

Достоинства

- Простота построения
- Дешевизна реализации

Недостатки

- Невысокая скорость преобразования.
- Результат преобразования. чрезвычайно сильно зависит от изменений входного напряжения в процессе преобразования.
- Необходимо применять специальные дополнительные приборы – устройства выборки-хранения.

АЦП последовательного счёта пригодны для работы **без устройства выборки-хранения только с постоянными или медленно изменяющимися напряжениями**, которые **за время преобразования** изменяются **не более**, чем на **значение одного кванта преобразования.**

Устройства выборки-хранения

Устройства выборки-хранения (УВХ) (слежения-хранения), должны на интервале времени выборки (слежения) повторять на выходе входной аналоговый сигнал, а при переключении режима на хранение сохранять последнее значение выходного напряжения до поступления сигнала выборки.

Схема простейшего УВХ

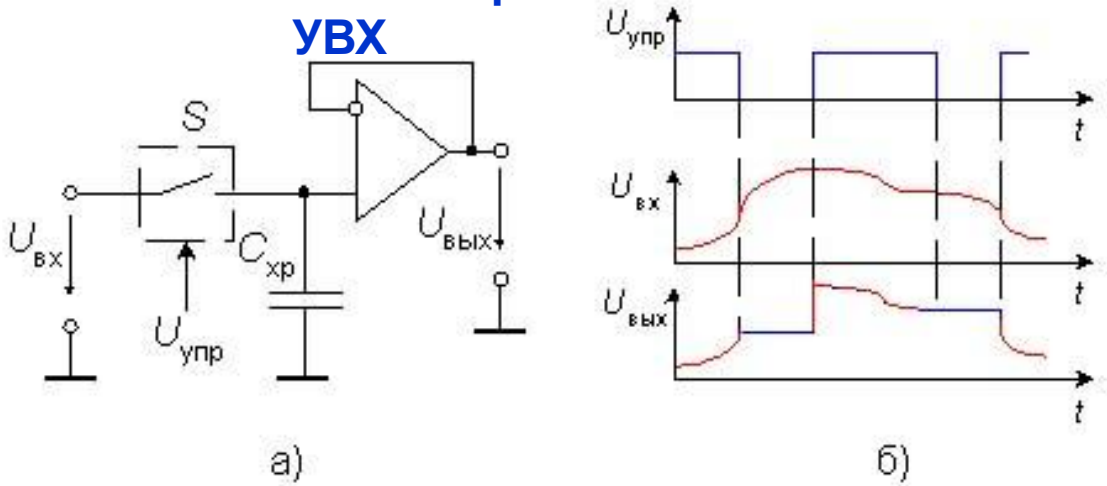


Рисунок 7 – а) Принцип работы схемы выборки хранения,
б) временная диаграмма работы схемы

При замыкании *ключа* ***S*** выходное напряжение схемы повторяет входное, то есть $U_{вых} = U_{вх}$ (рисунок 7б).

При размыкании *ключа* ***S*** выходное напряжение $\boldsymbol{U_{вых}}$ сохраняет свое значение, последнее перед размыканием. Выходной повторитель на ОУ препятствует разряду конденсатора хранения $C_{хр}$ на нагрузку схемы.

Входное сопротивление повторителя должно быть как можно больше, поэтому обычно применяют ОУ с полевыми транзисторами на входе.

АЦП последовательного приближения или поразрядного уравновешивания

Наиболее распространённый вариант последовательных АЦП

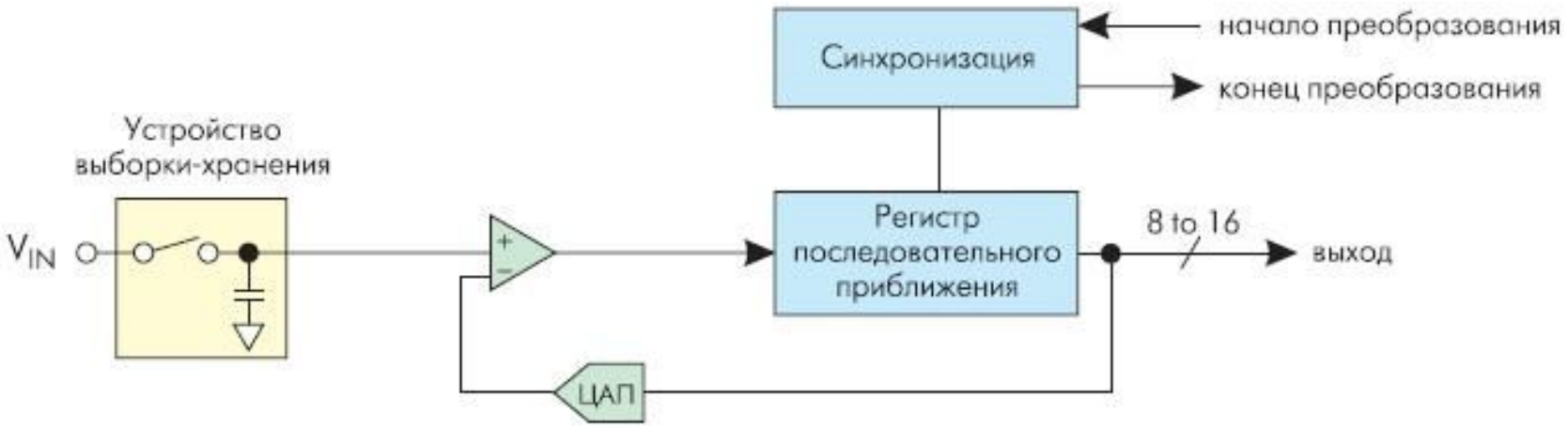


Рисунок 8 – Структурная схема АЦП последовательного приближения

В основе работы этого класса преобразователей лежит принцип *дихотомии*, то есть **последовательного сравнения** измеряемой величины с 1/2, 1/4, 1/8 и так далее частями от возможного максимального значения (опорного напряжения).

Это позволяет для *N*-разрядного АЦП последовательного приближения ***выполнить весь процесс преобразования за N последовательных шагов*** (итераций) ***вместо*** 2^N-1 при использовании принципа **последовательного счета**. **Это** даёт **существенный выигрыш в быстродействии**.

ПРИМЕР

Используем 4-х разрядный ЦАП

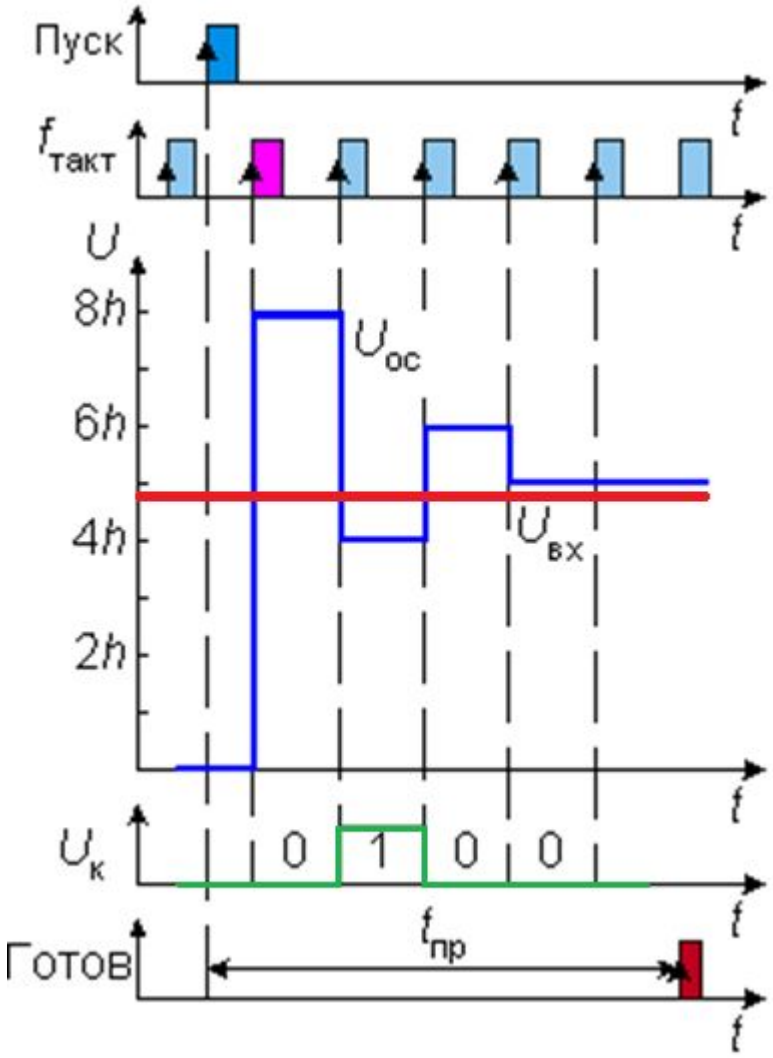


Рис.9. Временные диаграммы работы АЦП последовательного приближения

1. После подачи команды "Пуск" с приходом первого тактового импульса **РПП принудительно задает** на вход ЦАП код, равный половине его шкалы (для 4-разрядного ЦАП это $1000_2 = 8_{10}$). Напряжение на выходе ЦАП станет $U_{ос} = 2^3h$, где h – квант выходного напряжения ЦАП, это единица младшего разряда (ЕМР), что составляет половину возможного диапазона преобразуемых сигналов.
2. Если $\mathbf{U_{вх} > U_{ос}}$, то $\mathbf{U_к = 1}$, иначе $\mathbf{U_к = 0}$.
3. В случае $\mathbf{U_к = 0}$ схема управления должна установить старший разряд $d_3 = 0$. Далее остаток ($U_{вх} – d_3 \cdot 2^3h$) таким же образом сравнивается с ближайшим младшим разрядом d_2 и т.д.

   После четырех подобных выравнивающих шагов в регистре последовательного приближения оказывается двоичное число, из которого после ЦА преобразования получается напряжение, соответствующее $U_{вх}$ с точностью до 1 ЕМЗР.
4. Выходное число может быть считано с РПП в виде параллельного двоичного кода по N линиям. Кроме того, в процессе преобразования на выходе компаратора формируется выходное число в виде последовательного кода старшими разрядами вперед.

Быстродействие АЦП последовательного приближения

Быстродействие АЦП данного типа определяется суммой значений:

1. **времени установления** $t_{уст}$ ЦАП до установившегося значения с погрешностью, не превышающей 0,5 единицы младшего значащего разряда (ЕМЗР),
2. **времени переключения компаратора** $t_к$ и
3. **время задержки распространения сигнала в регистре последовательного приближения** $t_з$.

Сумма $t_к + t_з$ является величиной постоянной, а $t_{уст}$ уменьшается с уменьшением веса разряда.

При работе без устройства выборки-хранения *апертурное время* равное времени между началом и фактическим окончанием преобразования, которое так же, как и у АЦП последовательного счета, зависит от уровня входного сигнала, т.е. является переменным. Возникающие при этом **апертурные погрешности** носят также нелинейный характер.

Поэтому для эффективного использования АЦП последовательного приближения, *между его входом и источником преобразуемого сигнала обязательно следует включать УВХ*.

Большинство выпускаемых в настоящее время ИС АЦП последовательного приближения уже имеют **встроенные устройства выборки-хранения** или, чаще, **устройства слежения-хранения** (*track-hold*), управляемые сигналом запуска АЦП. Это устройство отличается тем, что постоянно находится в режиме выборки, переходя в режим хранения только на время преобразования сигнала

Интегрирующие АЦП

- АЦП многотактного интегрирования
- Сигма-дельта АЦП
- Преобразователи напряжение-частота

АЦП много (двух)тактного интегрирования

АЦП многотактного интегрирования используют в задачах требующих **высокого разрешения** и **высокого помехоподавления**, как правило, в измерительных приборах, например, в цифровых мультиметрах, так как в них необходимо такое сочетание.

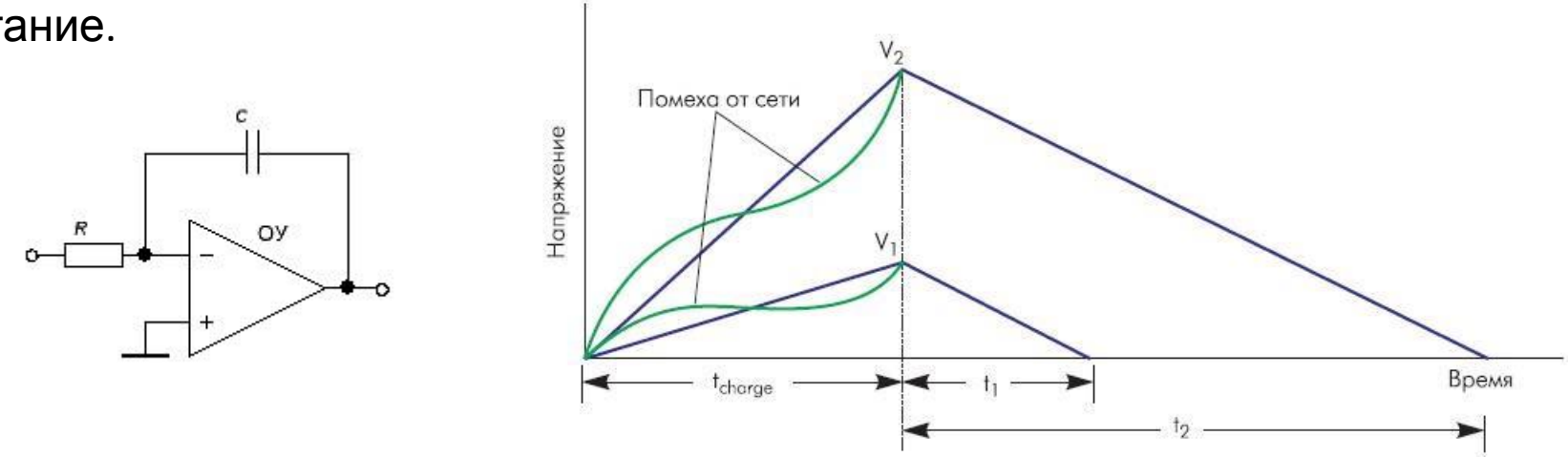


Рисунок 10 − Интегратор. Принцип действия интегрирующего АЦП. Помеха в сети показана зелёным цветом

Основой интегрирующего АЦП является **интегратор**. Входной сигнал **заряжает** конденсатор *C* в течение фиксированного периода времени, который обычно составляет **один или кратный ему период частоты питающей сети** (50 или 60 Гц). Это исключает влияние нестабильности напряжения источника питания на точность преобразования, а также позволяет подавлять высокочастотные помехи, так как значение интеграла от синусоидального сигнала равно нулю. По окончании времени заряда АЦП разряжает конденсатор *C* с фиксированной скоростью, в то время как внутренний счетчик подсчитывает количество тактовых импульсов за время разряда конденсатора.

Большее время разряда, таким образом, соответствует большему значению

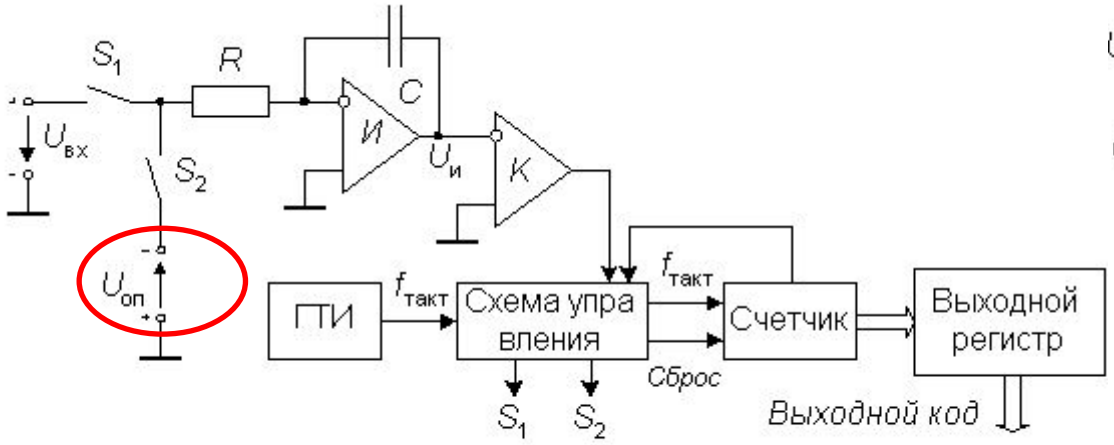


Рисунок 11 − Упрощенная схема АЦП двухтактного интегрирования

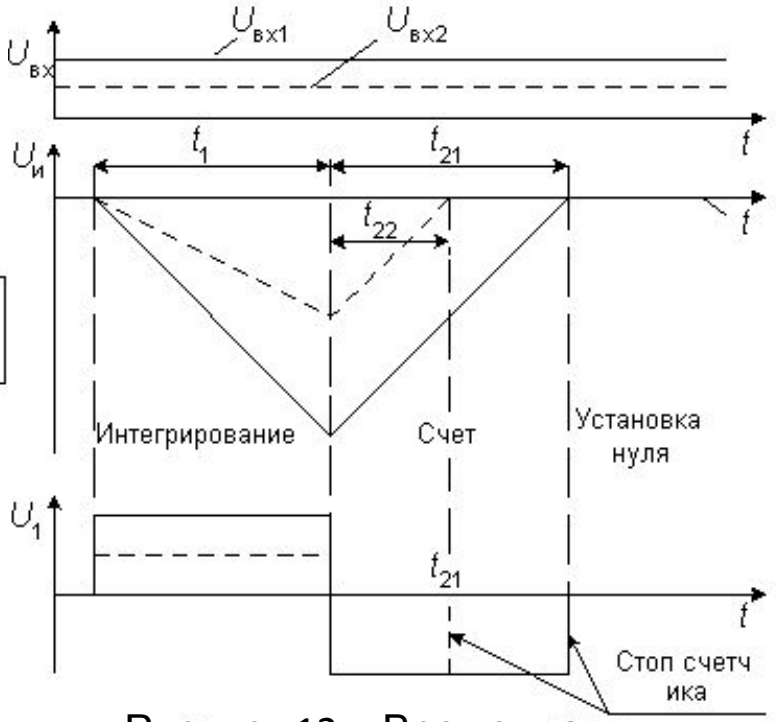


Рисунок 12 − Временная диаграмма двухтактного интегрирования

Преобразование проходит две стадии:

- *стадию интегрирования и*
- *стадию счета.*

1. **Стадия интегрирования.** Ключ *S*1 замкнут, а ключ *S*2 разомкнут. Интегратор *И* интегрирует входное напряжение $U_{вх}$. Время интегрирования входного напряжения t_1 постоянно; в качестве таймера используется счетчик с коэффициентом пересчета $K_{сч}$.
2. **Стадия счета.** Ключ *S*1 размыкается, а ключ *S*2 замыкается и опорное напряжение $U_{оп}$ поступает на вход интегратора. При этом выбирается опорное напряжение, противоположное по знаку входному напряжению.

Счёт заканчивается, когда выходное напряжение интегратора переходит через нуль.

Срабатывает компаратор К.

Время интегрирования входного напряжения: $t_1 = \frac{K_{СЧ}}{f_{ТАКТ}}$

Выходное напряжение интегратора

$$U_{И}(t_1) = -\frac{1}{RC}\int_0^{t_1} U_{ВХ}(t)dt = -\frac{U_{ВХ.СР} K_{СЧ}}{f_{ТАКТ} RC}$$

где $U_{ВХ.СР.}$ – среднее за время t_1 входное напряжение

Интервал времени, в котором проходит **стадия счета**, определяется уравнением

$$U_{И}(t_1) + \frac{1}{RC}\int_{t_1}^{t_1+t_2} U_{ОП}dt = 0 \qquad t_2 = \frac{n_2}{f_{ТАКТ}}$$

n_2 – содержимое счетчика **после окончания стадии счета** $n_2 = \frac{U_{ВХ.СР} K_{СЧ}}{U_{ОП}}$

отличительной особенностью *метода многотактного интегрирования* является то, что ни тактовая частота, ни постоянная интегрирования *RC* не влияют на результат !

Необходимое требование:

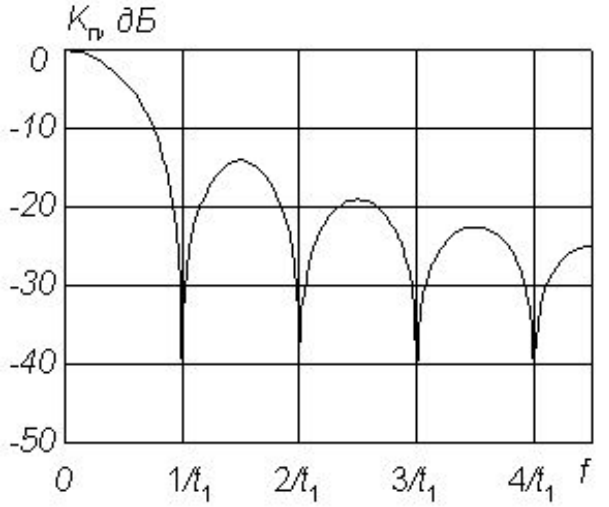
тактовая частота в течение времени $t_1 + t_2$ должна быть постоянной.

В окончательный результат входят только **значения, усредненные за время** t_1, а не мгновенные значения преобразуемого напряжения,

Поэтому **напряжение периодической помехи ослабляется тем сильнее, чем выше её частота**.

Среднее значение переменного сигнала за время интегрирования t_1 равно

$$U_{СР} = \frac{1}{t_1}\int_0^{t_1} \sin(2\pi f t + \varphi)dt = \frac{\sin(\pi f t_1 + \varphi)\sin\pi f t_1}{\pi f t_1}$$



Частотная характеристика коэффициента подавления помех АЦП двухтактного интегрирования

$U_{ср}$ достигает максимума по модулю при ϕ = +/- πk, k = 0, 1, 2,... В этом случае

Коэффициент передачи помехи: $$K_П = \left|\frac{\sin^2 \pi f t_1}{\pi f t_1}\right|$$

Следовательно, ***переменное напряжение,*** *период которого в целое число раз меньше* t_1, ***подавляется в наибольшей степени.***

Целесообразно выбрать тактовую частоту такой, чтобы произведение $K_{сч} \cdot f_{такт}$ было бы **равным, или кратным** периоду напряжения промышленной сети.

Достоинства:

В АЦП многотактного интегрирования **входной сигнал интегрируется:**

- либо **непрерывно**,
- либо **на определенном временном интервале, длительность** которого обычно **выбирается кратной периоду помехи**.

Это позволяет во многих случаях **подавить помеху еще на этапе преобразования.**

Недостатки:

1. **Пониженное быстродействие интегрирующих АЦП.**
2. **Нелинейность переходной статической характеристики** операционного усилителя, на котором выполняют интегратор, заметным образом сказывается на **интегральной нелинейности характеристики преобразования** АЦП высокого разрешения.
3. **Интегрирование входного сигнала занимает в цикле преобразования приблизительно третью часть**. Две трети цикла преобразователь не принимает входной сигнал..
4. **АЦП многотактного интегрирования должен быть снабжен довольно большим количеством внешних элементов обвязки (резисторов и конденсаторов** (с высококачественным диэлектриком)), что значительно увеличивает место, занимаемое преобразователем на плате, усложняет наладку, уменьшает надёжность.

Сигма-дельта АЦП. Принцип действия

Своим названием сигма-дельта АЦП обязаны наличием в них двух блоков:

- **сумматора** (обозначение операции – Σ) и
- **интегратора** (обозначение операции – Δ).

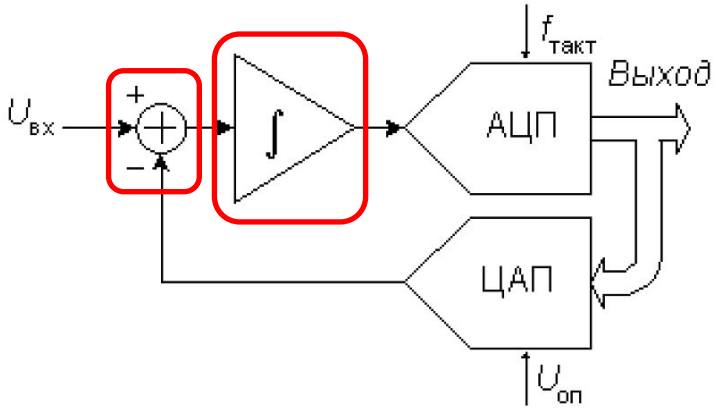


Рис. 13. Структурная схема сигма-дельта АЦП

Работа схемы сигма-дельта АЦП основана на **вычитании** из входного сигнала $U_{ВХ}$ величины опорного сигнала формируемого ЦАП полученного на предыдущем такте работы схемы,,

Полученная разность интегрируется, а затем преобразуется в код параллельным АЦП невысокой разрядности.

Полученная таким образом последовательность кодов поступает на цифровой фильтр нижних частот.

Основные узлы сигма-дельта АЦП – это **дельта-сигма модулятор** и **цифровой фильтр**.

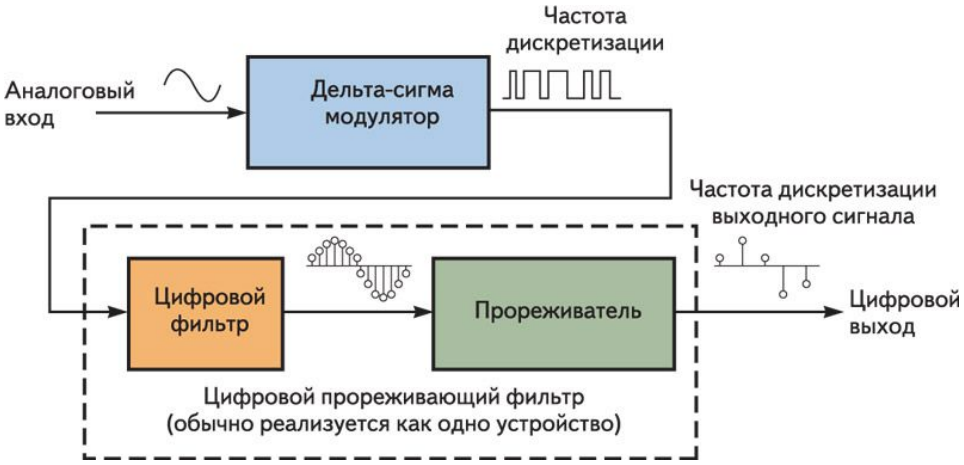


Рисунок 14 − Структурная схема сигма-дельта модулятора и цифровой фильтр/дециматор

Входным сигналом сигма-дельта АЦП является постоянное или переменное напряжение.

С дельта-сигма модулятор, показанный на рисунке 14, осуществляет выборку входного сигнала, превращая его в дискретный последовательный выходной сигнал.

Модулятор преобразует аналоговый входной сигнал в высокоскоростную последовательность импульсов. Отношение количества единиц к нулям в этой последовательности соответствует величине аналогового напряжения на входе.

На выходе модулятора цифровой фильтр из высокочастотного зашумлённого сигнала формирует данные с высокой частотой дискретизации. Поскольку после этого сигнал имеет уже цифровую форму, для дальнейшего подавления высокочастотного шума используется цифровой фильтр нижних частот, а для снижения частоты выдачи данных — фильтр/дециматор.

В совокупности цифровой фильтр/дециматор и фильтры потока модулятора создают из 1-битовых кодов более медленную последовательность многобитовых кодов.

Таблица 1

$U_{вх}$=0,6 В				
N такта	U_{Σ}, В	$U_{и}$, В	$U_{к}$, бит	$U_{ЦАП}$, В
1	0,6	0,6	1	1
2	-0,4	0,2	1	1
3	-0,4	-0,2	0	-1
4	1,6	1,4	1	1
5	-0,4	1,0	1	1
6	-0,4	0,6	1	1
7	-0,4	0,2	1	1
8	-0,4	-0,2	0	-1
9	1,6	1,4	1	1
10	-0,4	1,0	1	1
11	-0,4	0,6	1	1
12	-0,4	0,2	1	1
13	-0,4	-0,2	0	-1
14	1,6	1,4	1	1
15	-0,4	1,0	1	1
16	-0,4	0,6	1	1

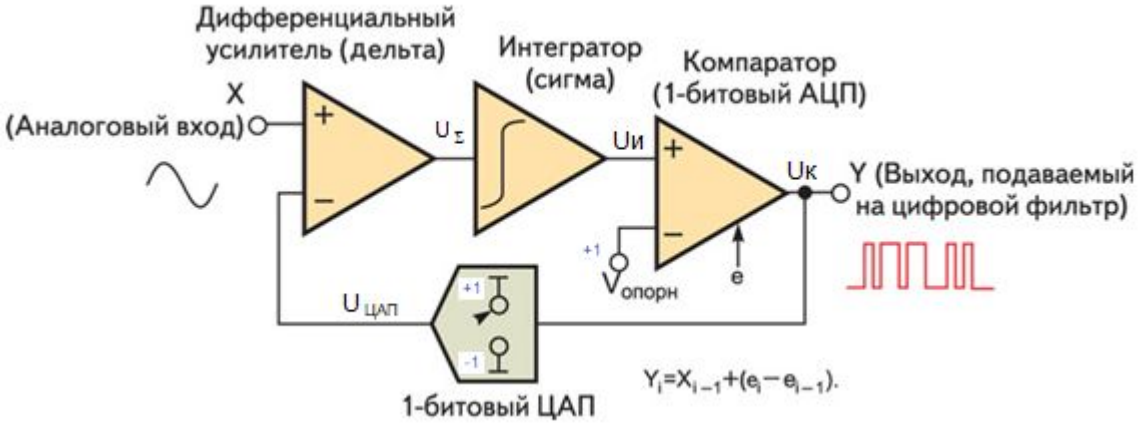


Рисунок 15 − Представление функционирования модулятора первого порядка во временном диапазоне

Пример преобразования входного сигнала, равного 0,6 В, при $U_{оп}$ = 1 В.

Пусть постоянная времени интегрирования интегратора численно равна периоду тактовых импульсов.

В нулевом периоде выходное напряжение интегратора сбрасывается в нуль.

На выходе ЦАП также устанавливается нулевое напряжение.

Затем схема проходит через показанную в таблице 1 последовательность состояний.

В тактовые периоды 2, 7 и 12 состояния системы идентичны.

При неизменном входном сигнале $U_{вх}$ = 0,6 В цикл работы занимает пять тактовых периодов.

Усреднение выходного сигнала ЦАП за цикл действительно дает величину напряжения 0,6 В: (1–1+1+1+1)/5 = 0,6.

Пример преобразования входного сигнала, равного 0 В, при $U_{оп}$ = 1 В.

$U_{вх}$=0 В				
N такта	$U_{в}$, В	$U_{и}$, В	$U_{к}$, бит	$U_{ЦАП}$, В
1	1	1	1	1
2	-1	0	0	-1
3	1	1	1	1
4	-1	0	0	-1
5	1	1	1	1
6	-1	0	0	-1
7	1	1	1	1
8	-1	0	0	-1
9	1	1	1	1
10	-1	0	0	-1
11	1	1	1	1
12	-1	0	0	-1
13	1	1	1	1
14	-1	0	0	-1
15	1	1	1	1
16	-1	0	0	-1

Для формирования выходного кода с такого преобразователя **необходимо** каким-либо образом **преобразовать последовательность бит на выходе компаратора** представленного в виде **последовательного унарного кода** в **последовательный или параллельный двоичный позиционный код**.

В простейшем случае **это можно сделать с помощью двоичного счетчика**.

При использовании двоичного счетчика в качестве преобразователя потока битов, поступающих с выхода компаратора, **необходимо выделять фиксированный цикл преобразования, длительность которого равна произведению** $K_{сч} \bullet f_{такт}$.
После его окончания должно производиться **считывание результата**, например, с помощью регистра-защелки и затем должно производиться **обнуление счетчика**.

С точки зрения *помехоподавляющих* свойств сигма-дельта АЦП близки к АЦП многотактного интегрирования.

Более эффективно с этой точки зрения применение в сигма-дельта АЦП цифровых фильтров с конечной длительностью переходных процессов.

В сигма-дельта АЦП обычно применяются цифровые фильтры с амплитудно-частотной характеристикой (АЧХ) вида $\mathbf{(\sin(x)/x)^3}$.

Передаточная функция такого фильтра в z-области определяется выражением

$$W(z)=\left[\frac{1-z^{-M}}{M(1-z^{-1})}\right]^3$$

где M – целое число, которое задается программно и равно отношению тактовой частоты модулятора к частоте отсчетов фильтра.

(**Частота отсчетов** – это частота, с которой обновляются данные).

Рисунок 16 − График амплитудно-частотной характеристики цифрового фильтра, построенной согласно выражению

Например, при $f_{такт}$ = 38,4 кГц и M = 192, это дает значение частоты отсчетов, совпадающей с **первой частотой режекции** фильтра АЦП, $f_{отсч}$ = 50 Гц.

Сравнение этой АЧХ с АЧХ коэффициента подавления помех АЦП с двухкратным интегрированием (рисунок 16) показывает значительно **лучшие помехоподавляющие свойства сигма-дельта АЦП.**

Один из **принципов**, заложенных в **такого рода преобразователях**, позволяющий **уменьшить погрешность**, вносимую шумами, а следовательно **увеличить разрешающую способность состоии в усреднении результатов измерения на большом интервале времени**

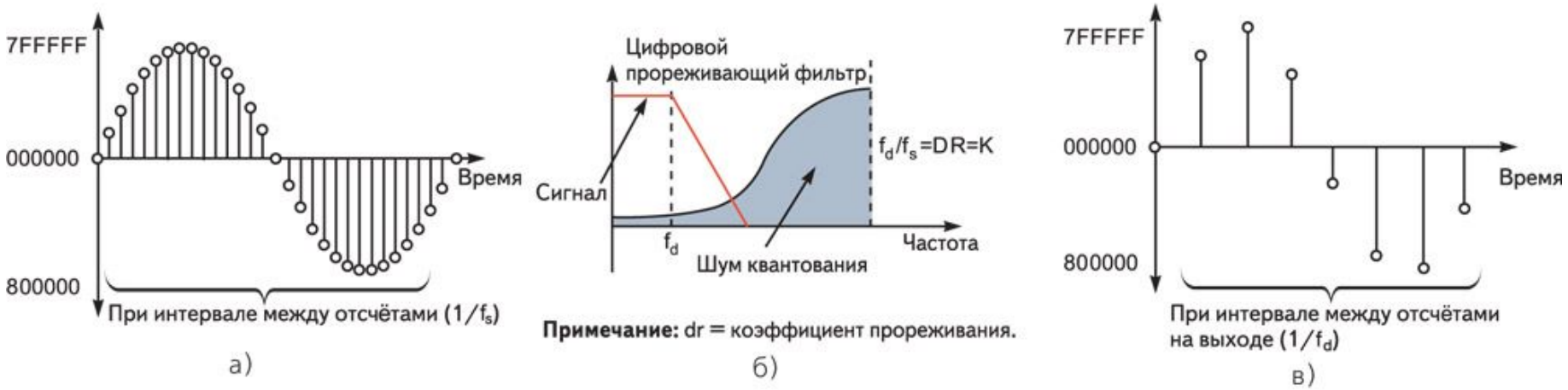


Рисунок 17 – Функция цифровой фильтрации обеспечивает высокое разрешение выходных данных результата (а), подавляя высокочастотный шум (б), функция децимации понижает частоту выдачи данных (в)

Функция цифровой фильтрации обеспечивает цифровое отображение входного сигнала, однако частота выдачи данных является слишком высокой для практического использования. Второй функцией цифрового фильтра/дециматора и является *децимация* (прореживание).

Децимация — *это процесс уменьшения частоты выдачи цифрового сигнала до системной частоты Найквиста*.

Одним из простых способов осуществления децимации является усреднение групп из 24-битовых кодов. Дециматор накапливает слова данных высокого разрешения, усредняет их, выдаёт результат усреднения и сбрасывает накопленные данные для следующего усреднения. Более экономичным способом малопотребляющей реализации функции децимации является простой выбор 24-битового слова через каждые ***K*** отсчётов, без какого-либо усреднения. (рисунок 17в) (где K равняется коэффициенту децимации, или прореживания.)

Для проведения большинства измерений часто не требуется АЦП с высокой скоростью преобразования, как, например, у АЦП параллельного типа или последовательного приближения, зато необходима большая разрешающая способность.

Сигма-дельта АЦП могут обеспечивать **разрешающую способность до 24 разрядов**, но при этом почти не уступают в скорости преобразования АЦП последовательного приближения.

Так, в сигма-дельта АЦП при 16 разрядах можно получить частоту дискретизации до 100000 отсчетов/сек, но при 24 разрядах эта частота падает до 1000 отсчетов/сек и менее, в зависимости от устройства.

Обычно **сигма-дельта АЦП применяются в разнообразных системах сбора данных и в измерительном оборудовании** (измерение давления, температуры, веса и тому подобное), когда не требуется высокая частота дискретизации и необходимо разрешение более 16 разрядов.

Архитектура **сигма-дельта АЦП относится к классу интегрирующих АЦП**.

Главная особенность сигма-дельта АЦП – **частота следования выборок**, при которых собственно и происходит анализ уровня напряжения измеряемого сигнала, **существенно превышает частоту появления отсчетов на выходе АЦП** (частоту дискретизации). Эта частота следования выборок называется **частотой передискретизации**.

Так, в сигма-дельта АЦП со скоростью преобразования 100 000 отсчетов/сек используется частота передискретизации в 128 раз больше частоты преобразования. Поэтому такое АЦП будет производить выборку значений входного аналогового сигнала с частотой 12 800 000 отсчетов/сек.

Сравнение сигма-дельта АЦП с АЦП многотактного интегрирования

Сигма-дельта АЦП имеют значительное преимущество над АЦП многотактного интегрирования из-за того, что:

1. **Линейность характеристики преобразования сигма-дельта АЦП выше**, чем у **АЦП многотактного интегрирования** равной стоимости. Это объясняется тем, что интегратор сигма-дельта АЦП работает в значительно более узком динамическом диапазоне, и нелинейность переходной характеристики усилителя, на котором построен интегратор, сказывается значительно меньше.
2. **Емкость конденсатора интегратора у сигма-дельта АЦП значительно меньше** (десятки пикофарад), так что этот конденсатор может быть изготовлен прямо на кристалле ИМС. Как следствие, **сигма-дельта АЦП** практически **не имеет внешних элементов**, что существенно сокращает площадь, занимаемую им на плате, и снижает уровень шумов.
3. **Сигма-дельта АЦП высокого разрешения имеют развитую цифровую часть**, которая может включать даже микроконтроллер. Это позволяет реализовать режимы автоматической установки нуля и самокалибровки полной шкалы, хранить калибровочные коэффициенты и передавать их по

Преобразователи напряжение-частота

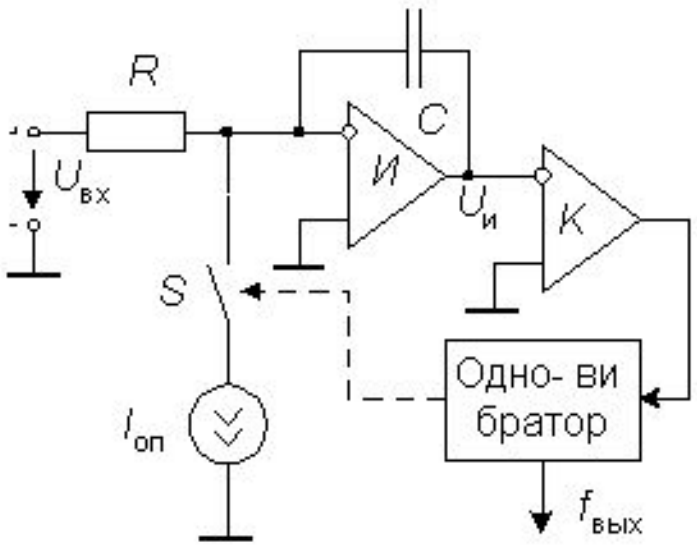


Рис.18. Структурная схема ПНЧ

На базе **преобразователей напряжение-частота** (ПНЧ) могут быть построены интегрирующие АЦП, обеспечивающие относительно **высокую точность преобразования при низкой стоимости.**

Существует несколько видов ПНЧ.

Наибольшее применение нашли ПНЧ с заданной длительностью выходного импульса.

Принцип действия. Под действием положительного входного сигнала $U_{вх}$ напряжение $U_и$ на выходе **интегратора И** уменьшается. При этом **ключ S разомкнут**. Когда напряжение $U_и$ уменьшится до нуля, **компаратор К** переключается, запуская **одновибратор**.

Одновибратор формирует импульс стабильной длительности $T_и$, который управляет ключом. **Последовательность этих импульсов является выходным сигналом ПНЧ.** Ключ замыкается и ток $I_{оп}$ в течение **Ти** поступает на вход интегратора, вызывая увеличение выходного напряжения интегратора. Далее описанный процесс снова повторяется.

Импульсы тока $I_{ОП}$ уравновешивают ток, вызываемый входным напряжением $U_{вх}$.

В установившемся режиме

$$-\frac{1}{RC}\int_0^T U_{ВХ}(t)\,dt+\frac{1}{C}\int_0^{T_И} I_{ОП}\,dt=0$$

Отсюда следует $$f=\frac{1}{T}=\frac{U_{ВХ.СР}}{RI_{ОП}T_И}$$

где $U_{ВХ.СР.}$ – среднее значение входного напряжения за период T.

Выражение для f показывает, что **точность преобразования определяется:**

а) точностью установки опорного тока $I_{ОП}$,

б) точностью выдержки длительности импульса одновибратора $T_и$

в) точностью резистора R.

Емкость конденсатора интегратора не оказывает влияния на частоту ПНЧ.

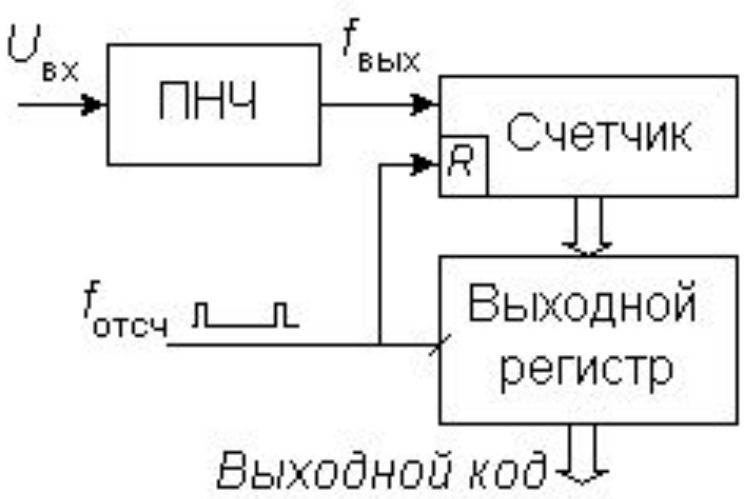


Рис.19. Блок-схема АЦП на основе ПНЧ

ПНЧ преобразует входное напряжение в последовательный унарный код.

Для преобразования последовательного унарного кода в двоичный позиционный код используется цифровой счётчик.

Схема интегрирующего АЦП на базе ПНЧ приведена на рисунке 18.

Двоичный счетчик подсчитывает число импульсов, поступивших от ПНЧ за период $T_{отсч} = 1/f_{отсч}$, задаваемый отсчетными импульсами, которыми содержимое счетчика заносится в выходной регистр-защелку. Вслед за этим происходит обнуление счетчика. Число импульсов ***n***, подсчитанных счетчиком за время $T_{отсч}$,

$$n = \frac{T_{ОТСЧ}}{T_{И}} \frac{\overline{U}_{ВХ.СР}}{RI_{ОП}}$$

Здесь $U_{ВХ.СР.}$ – среднее значение входного напряжения за весь период $T_{отсч}$

Для повышения точности ПНЧ вместо одновибратора можно включить тактируемый импульсами стабильной частоты ***D*-триггер**. В этом случае **ПНЧ превращается в однобитный сигма-дельта модулятор.**