

# ОСНОВИ НАПІВПРОВІДНИКОВОЇ ЕЛЕКТРОНІКИ

## Лекція 10

# Енергонезалежні елементи пам'яті

Анатолій Євтух

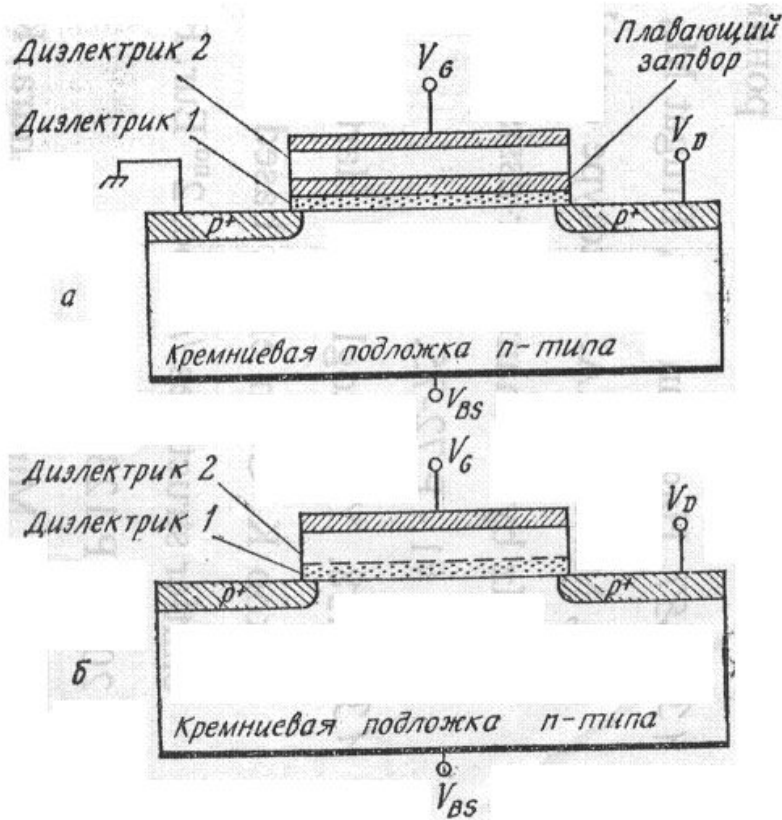
*Інститут високих технологій  
Київського національного університету імені Тараса Шевченка*

Якщо трансформувати затвор звичайного МОН транзистора таким чином, щоб в під затворному діелектрику міг зберігатися електричний заряд, то ми отримаємо новий прилад – **енергонезалежний елемент пам'яті**.

На основі енергонезалежних елементів пам'яті розробляється і виготовляється широкий клас інтегральних запам'ятовуючих пристроїв (ЗП), таких як електрично перепрограмовувані постійні ЗП (ПЗП з електричним перезаписом), програмуємі ЗП зі стиранням, енергонезалежні ЗП з довільною вибіркою.

Енергонезалежні елементи пам'яті можна розділити на два класи: **прилади з плаваючим затвором і структури з двошаровим діелектриком** (метад-діелектрик-оксид-напівпровідник). **«Запис»** заряду в них здійснюється інжекцією носіїв з кремнію через шар окисла. Заряд зберігається або на плаваючому затворі, або на границі окисла з другим діелектриком (в МДОМ структурах). Цей заряд змінює порогову напругу МОН транзистора, «зсуває» прилад в стан з високим порогом. В добре сконструйованих комірках такий стан зберігається більше 100 років. **«Стерання»** заряду, який зберігається (повернення приладу у вихідний стан з низьким порогом) здійснюється або електрично (за допомогою відповідних імпульсів напруги на затворі), або деякими іншими способами, наприклад ультрафіолетовим опроміненням структури.

# Прилади з плаваючим затвором



В структурі з плаваючим затвором (Рис.) на першому тонкому шарі окисла  $I(1)$  розміщений металічний електрод  $M(1)$  – плаваючий затвор, відділений другим, товстим шаром діелектрика  $I(2)$  від зовнішнього металічного затвора  $M(2)$ .

Ергонезалежний елемент пам'яті з плаваючим затвором (а) і енергонезалежний елемент пам'яті типу МДОН (б).

Зонні діаграми структури з плаваючим затвором, що відповідають режимам запису, зберігання і стерання, приведені на Рис.

Напруга  $V_G$ , яка прикладена до зовнішнього затвору структури  $M(2)$ , ділиться між обома діелектричними шарами (Рис.а).

$$V_G = V_1 + V_2 = d_1 E_1 + d_2 E_2,$$

де  $E_1$  і  $E_2$  - напруженості електричного поля в цих шарах.

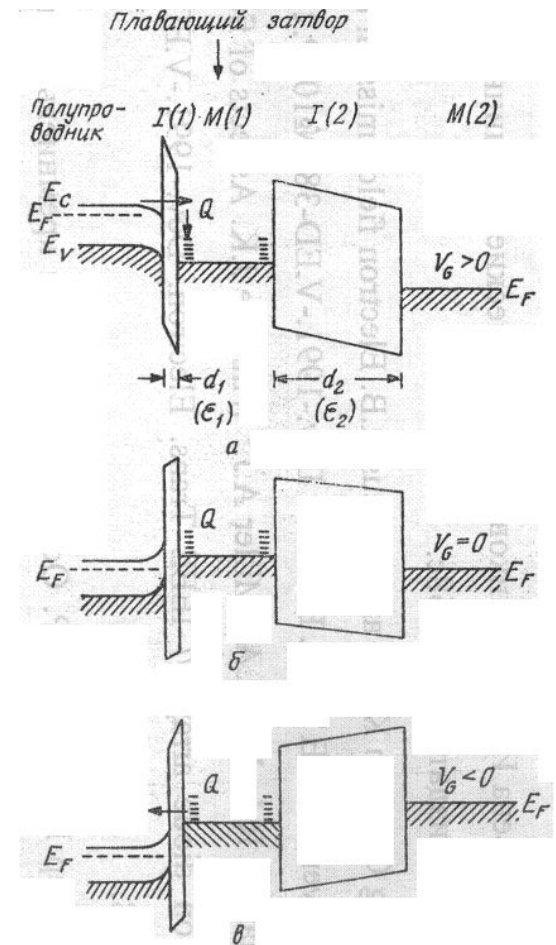
### Закон Гауса

$$\varepsilon_1 E_1 = \varepsilon_2 E_2 + Q$$

Електричне поле в кожному шарі (наприклад, в першому) можна записати у виді

$$E_1 = \frac{V_G}{d_1 + d_2(\varepsilon_1 / \varepsilon_2)} + \frac{Q}{\varepsilon_1 + \varepsilon_2(d_1 / d_2)}.$$

де  $Q$  - заряд на плаваючому затворі, а  $\varepsilon_1$  і  $\varepsilon_2$  - діелектричні проникності першого і другого діелектричних шарів.



Зонні діаграми елемента пам'яті з плаваючим затвором. а- зарядка (операція запису); б- зберігання заряду; в- розрядка плаваючого затвора (операція стерання).

Якщо струми в обох діелектричних шарах не рівні один одному, заряд плаваючого затвору буде змінюватись з часом:

$$Q(t) = \int_0^t [J_1(E_1) - J_2(E_2)] dt.$$

де  $J_1(E_1)$  і  $J_2(E_2)$  - густини струму в діелектриках 1 і 2.

Зазвичай струми в діелектриках сильно залежать від напруженості електричного поля. Так, наприклад при тунелюванні за **механізмом Фаулера-Нордгейма**

$$J = C_1 E^2 \exp(-E_0 / E). \quad \text{Тунелювання по механізму Фаулера-Нордгейма}$$

де  $E$  - електричне поле, а  $C_1$  і  $E_0$  - константи, які залежать від ефективної маси носіїв і висоти бар'єра.

Даний механізм провідності грає основну роль в тонких шарах  $\text{SiO}_2$  і  $\text{Al}_2\text{O}_3$ .

Коли транспорт заряду в діелектрику здійснюється за **механізмом Пула-Френкеля**, як, наприклад, в  $\text{Si}_3\text{N}_4$ , тоді

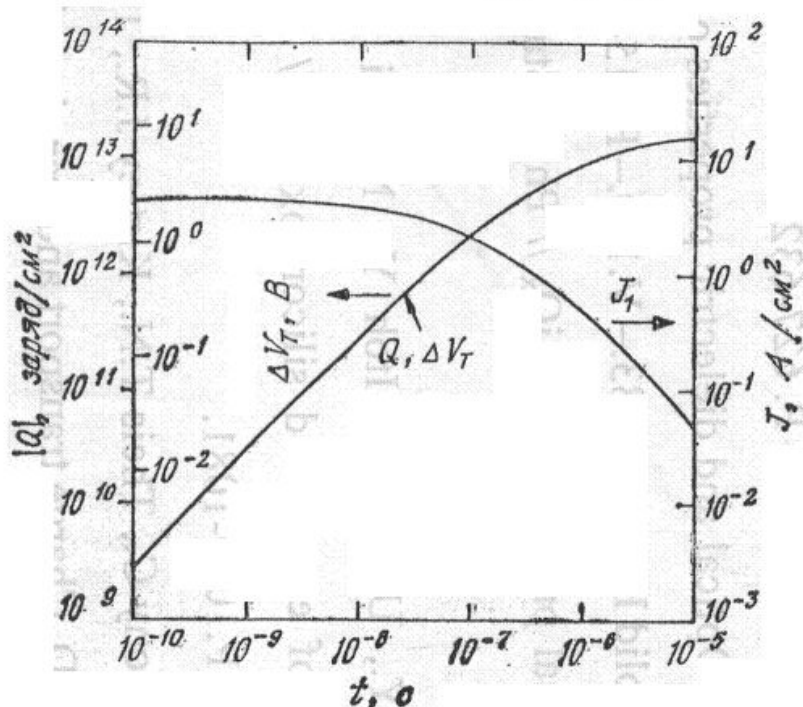
$$J = C_2 E \exp[-q(\phi_B - \sqrt{qE / \pi \epsilon_i}) / kT]. \quad \text{Транспорт по механізму Пула-Френкеля}$$

де  $C_2$  - константа пропорційна густині пасток в діелектрику;  $\phi_B$  - глибина пастки, а  $\epsilon_i$  динамічна діелектрична проникність.

В результаті розбалансу струмів в діелектриках 1 і 2 за час дії великої позитивної напруги  $V_G$ , що прикладена до зовнішнього затвору (імпульс запису), в плаваючому затворі накопичується заряд  $Q$  (Рис.б), який зсуває порогову напругу структури на величину

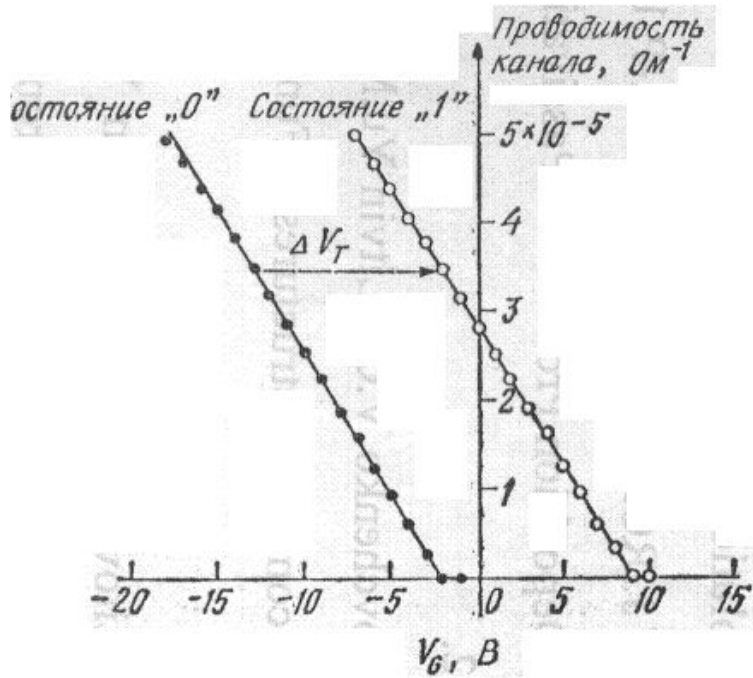
$$\Delta V_T = -\frac{d_2}{\epsilon_2} Q.$$

Стерання заряду, що зберігається, здійснюється імпульсом протилежної полярності  $V_G < 0$  (Рис.в).



Розрахункові залежності струму зарядки і накопленого заряду від часу.

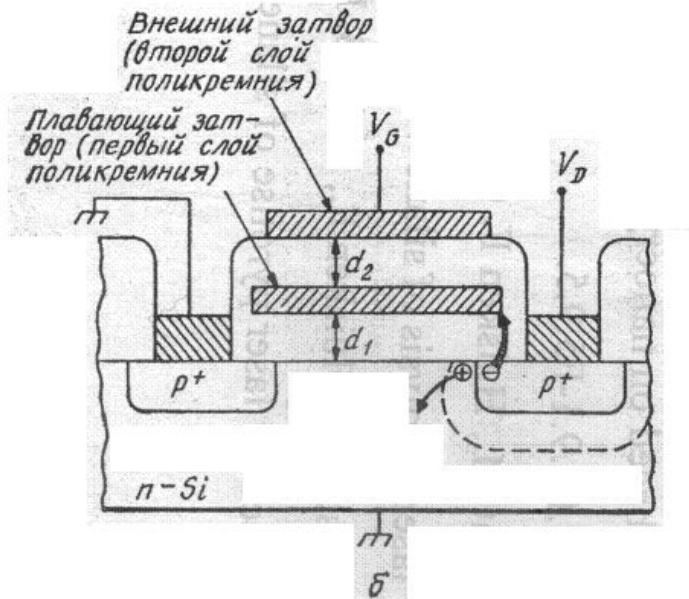
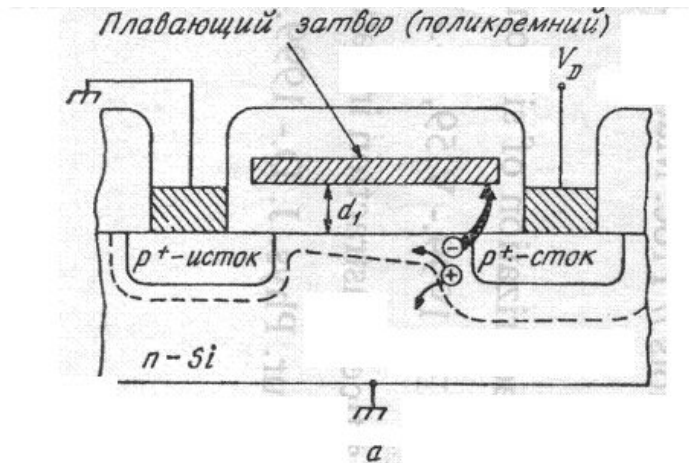
Розраховано при наступних значеннях параметрів:  $d_1=5$  nm,  $\epsilon_1=3.85\epsilon_0$  (для  $SiO_2$ );  $d_2=100$  nm,  $\epsilon_2=30\epsilon_0$  (для  $ZrO_2$ ); при напрузі  $V_G=50$  В і в припущенні  $J_2=0$ .



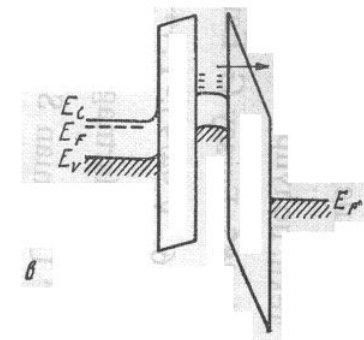
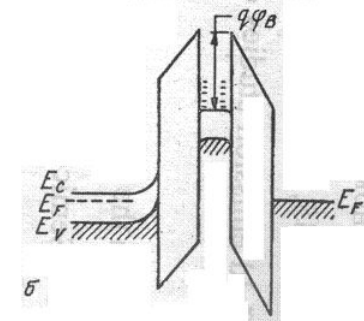
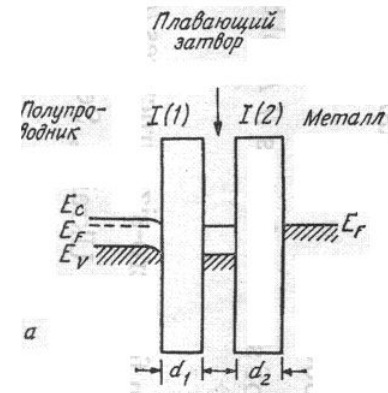
Провідність каналу до (стан «0») і після (стан «1») виконання операції запису.

$$g_D = -\frac{Z}{L} \mu_p C_i (V_G - V_T),$$

$$V_G > V_T.$$

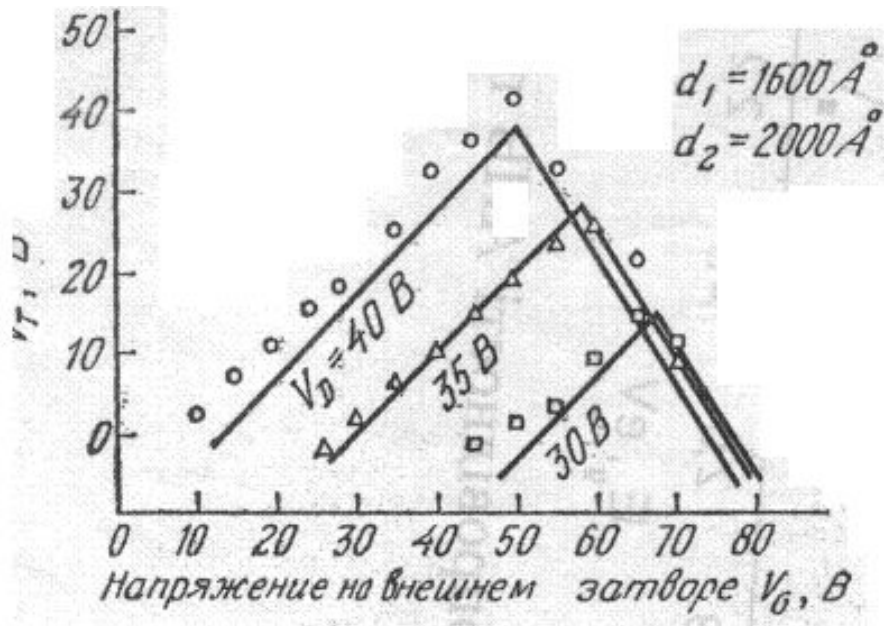


Комірка МОН-ЗП з плаваючим затвором і лавинною інжекцією (а) і аналогічна комірка з двома затворами, що забезпечує можливість електричного стерання (б).



Зонні діаграми двохзатворного елемента пам'яті в стані «0» (а) стані «1» (б) і в режимі розрядки (стерання) (в).



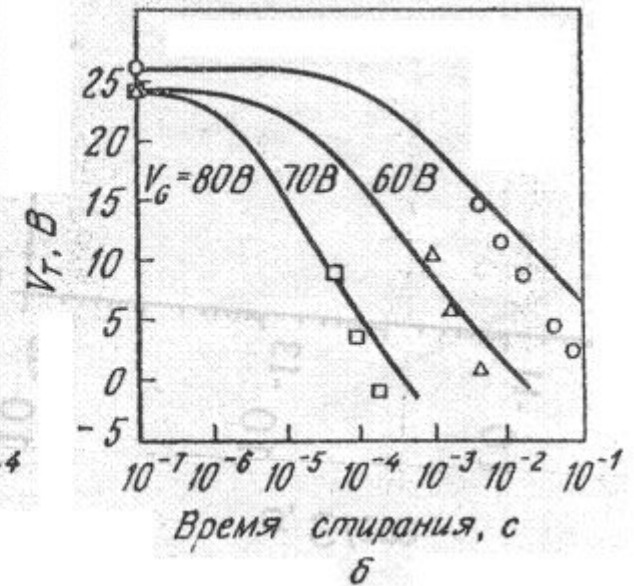


Криві стікання заряду, що зберігається, для двох температур.

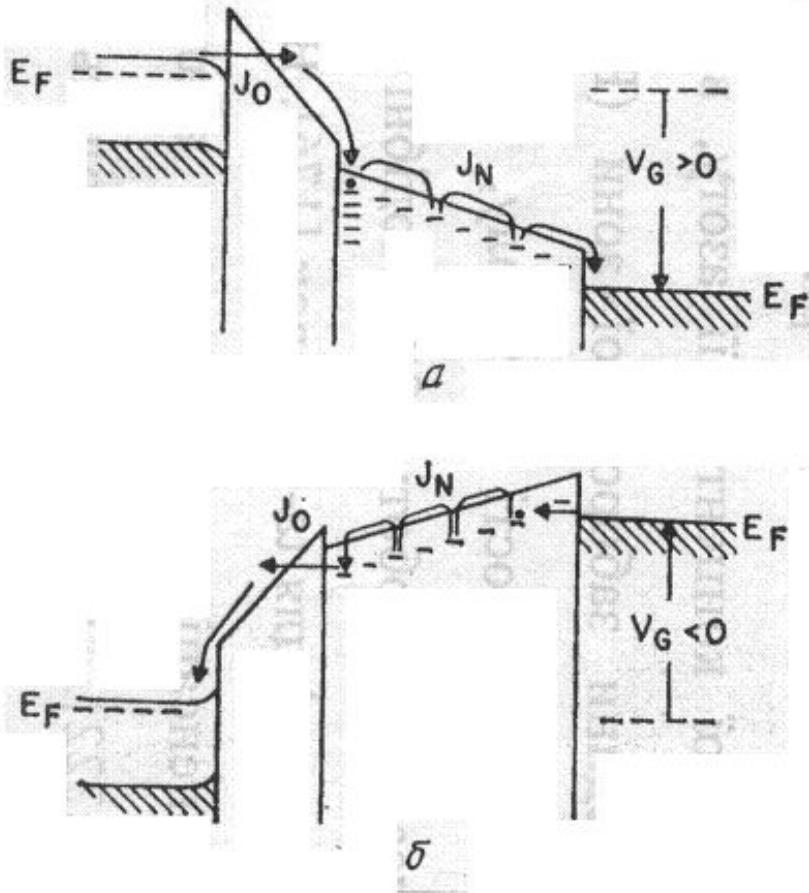
Залежність зсуву порогової напруги при запису в двохзатворному елементі пам'яті від напруги на зовнішньому затворі.



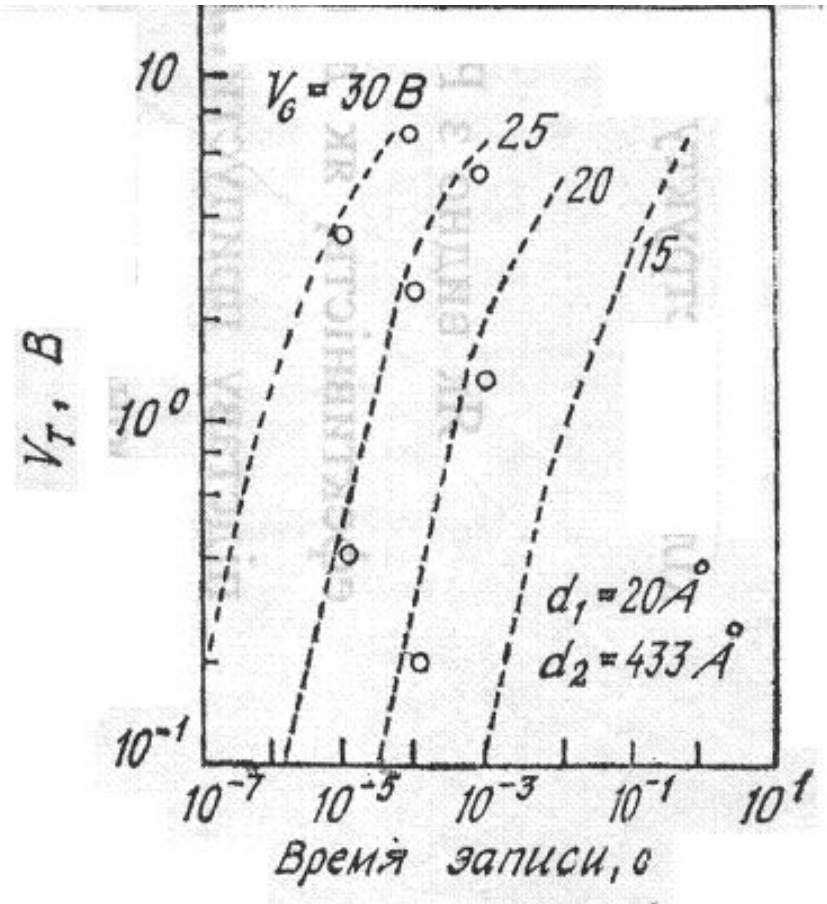
Залежність зсуву порогової напруги від довжини імпульсів запису і стертання в двохзатворному елементі пам'яті.



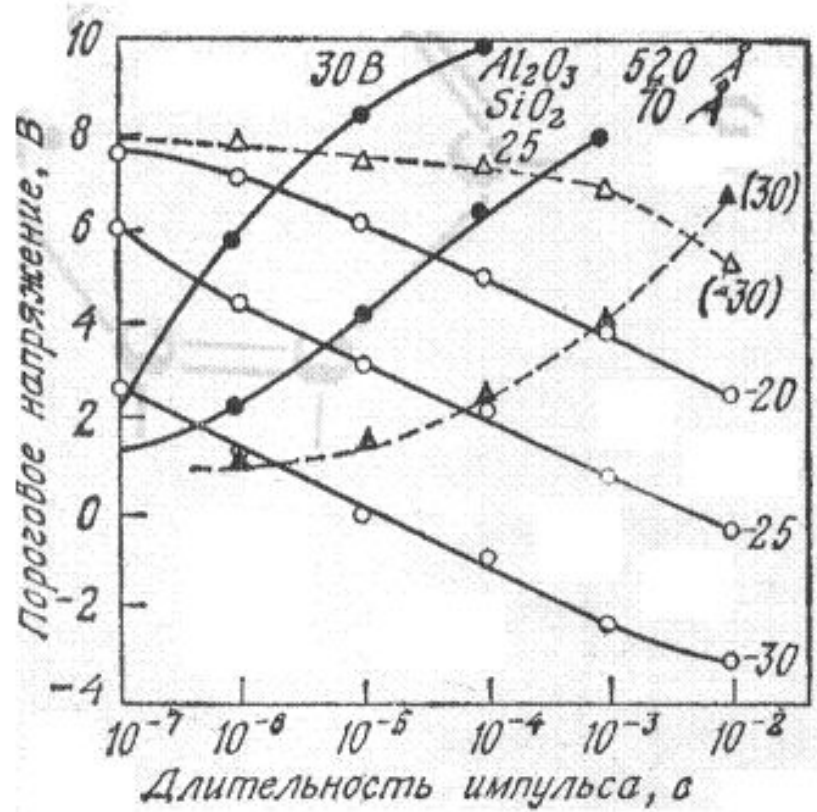
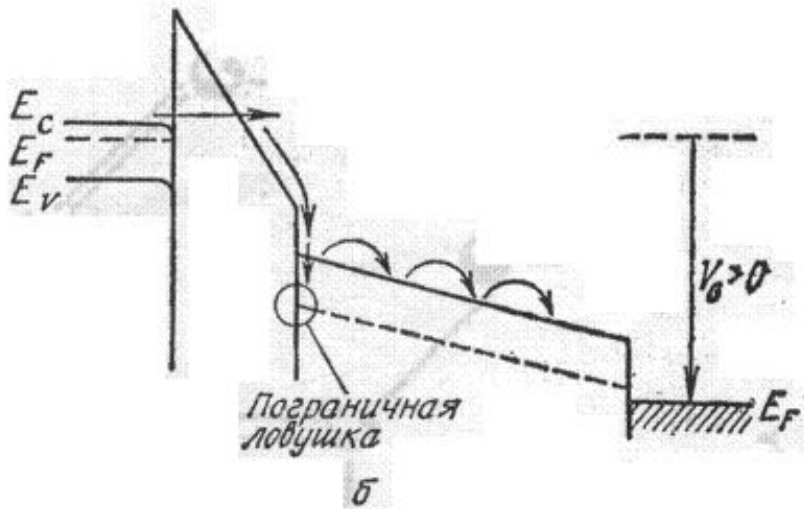
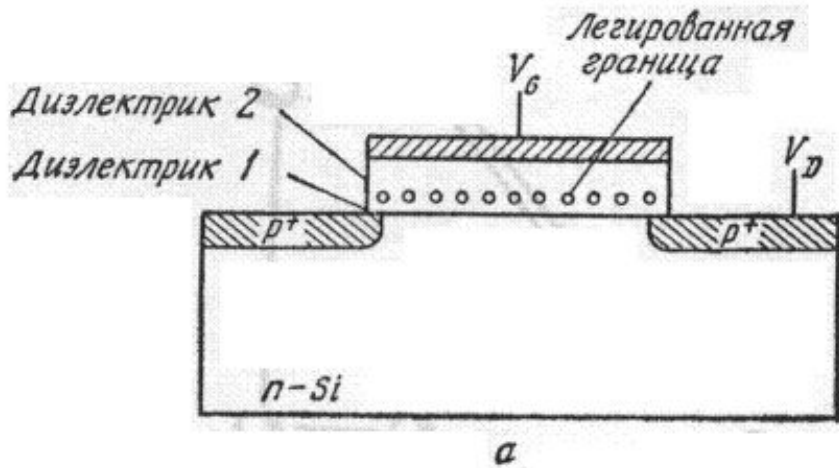
# МДОН структури



Операції запису (а) і стерання (б) в МНОН структурі.



Розраховані і виміряні зсуви порогу в МНОН структурах.



Елемент пам'яті з легованою границею розділу діелектриків. а- поперечний переріз приладу; б- зонна діаграма при наявності напруги на затворі.

Залежності зсуву порогової напруги від довжини імпульсів запису і стерання в структурі з подвійним діелектриком.

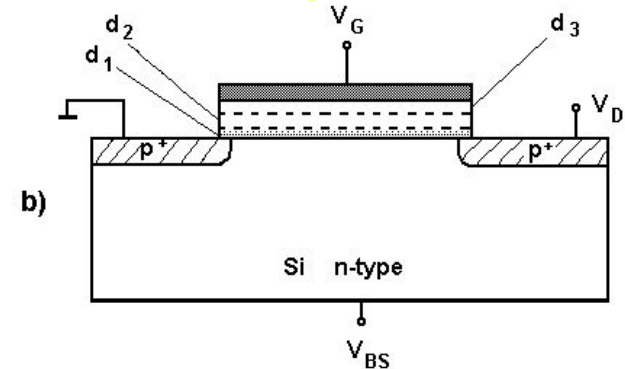
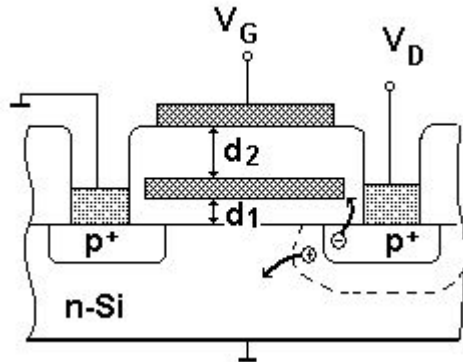
# Evolution-1

Floating-gate

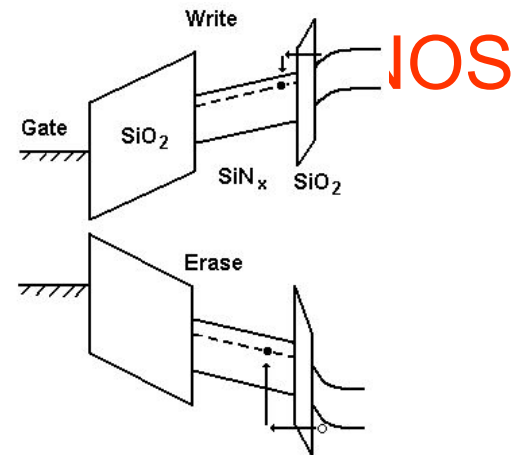
Double dielectric –

Triple dielectric

S<sup>0</sup>NOS (Si<sup>\*</sup>-SiO<sub>2</sub>-Si<sub>3</sub>N<sub>4</sub>-SiO<sub>2</sub>-Si)



No principal changes



# 1.2. Advantages and Disadvantages

## Floating-gate

### Advantages

1. Developed technology  
(CMOS compatibility)
2. Long data retention

### Disadvantages

1. Limitation of scale down
2. Low reliability
3. Low radiation hardness

## SONOS

### Advantages

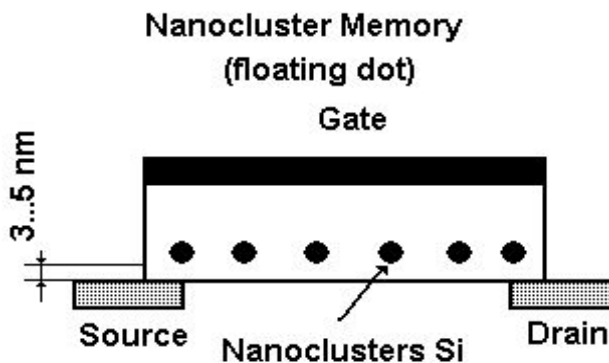
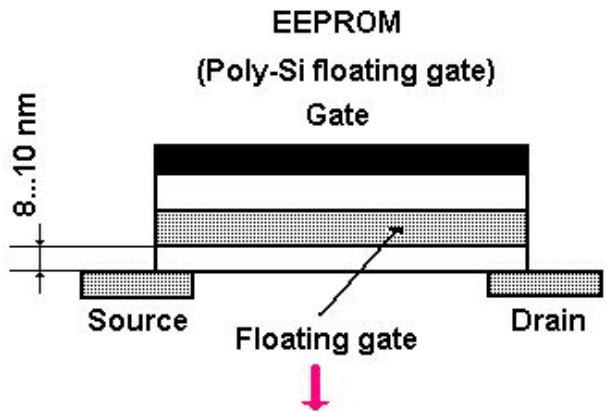
1. High density
2. Improved endurance  
(Single defect will not cause discharge of the memory)
3. High radiation hardness

### Disadvantages

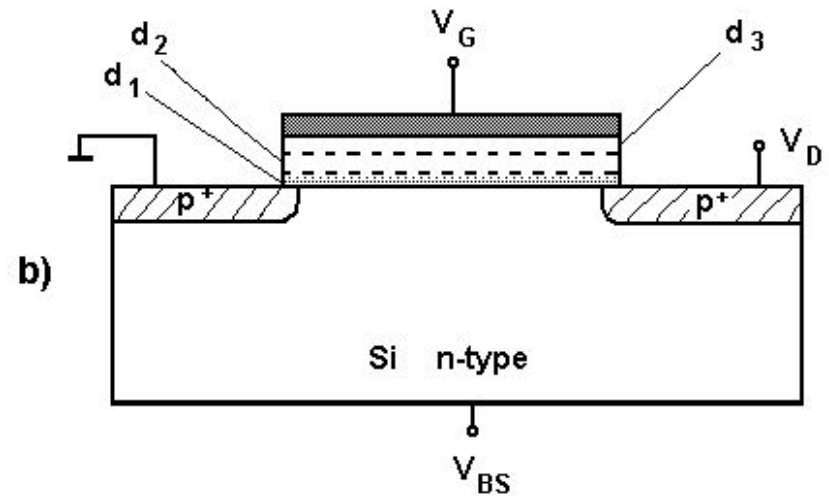
1. Short data retention  
(Hardly reach a data retention for 10 years)

# Evolution- 2

Floating-gate –  
Nanocrystal memory



Triple dielectric  
SONOS



No principal changes

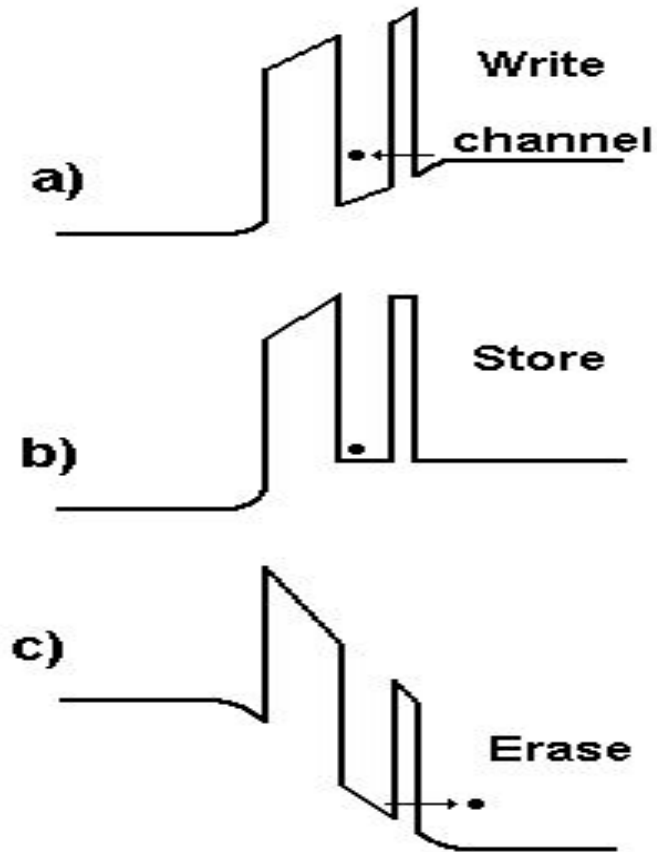
Nanocrystal memory

## 1.3. Nanocrystal memory

Main idea:

The continuous poly-Si  
Floating gate is replaced on  
discontinuous Si nanocrystals  
(discontinuous floating gate)

# Nanocrystal memory



Energy band diagram during injection (a), store (b), and removal (c) of an electron from a nanocrystal



# 1.3.1. Why nanocrystal memory?

1. CMOS compatibility
2. High integrity (scaling down)
3. Faster (high speed of write/erase)
4. High injection efficiency
5. Consumption of lower power
6. Low voltage operation
7. High stability
8. High reliability
9. Much smaller degradation
10. Potential application for multilevel memory and logic
11. Novel Si functional devices

# High integrity (scaling down)

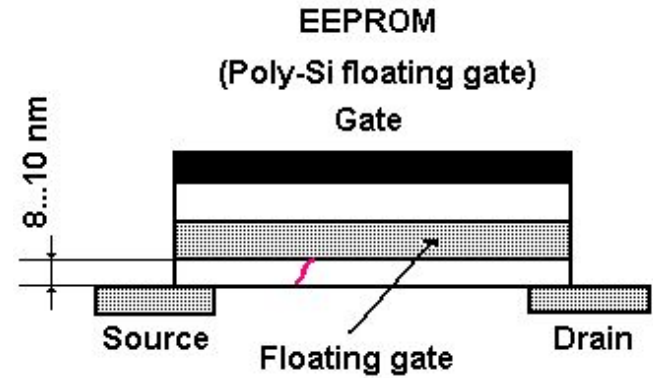
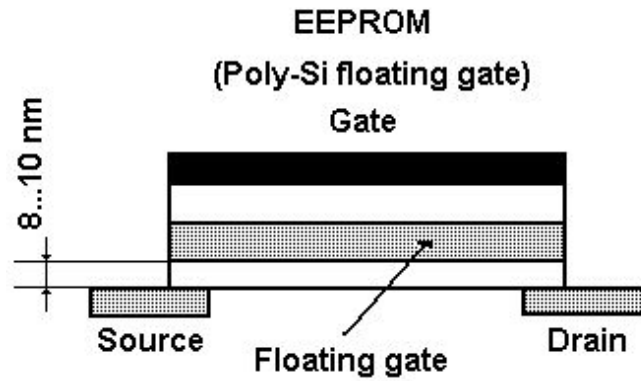
## Floating-gate

1. Poly-Si cannot be used with very thin tunnel oxide-scaling problem
2. Single leakage path in poly-Si can be discharge the memory with loss the information
3. Stress induced leakage current (SILC)

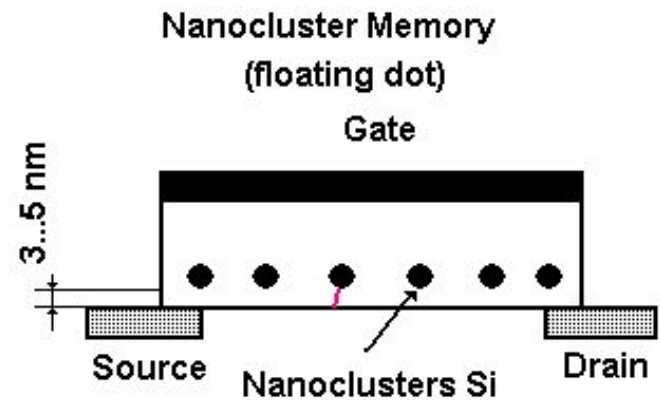
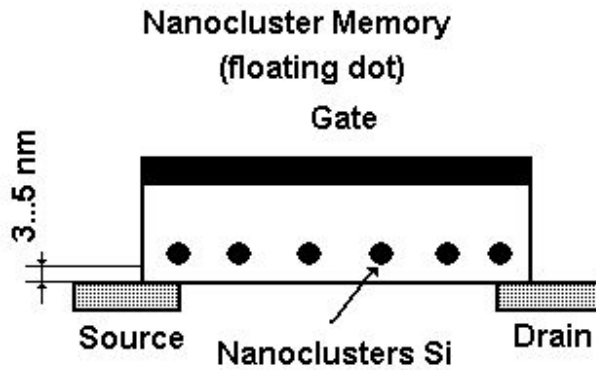
## Nanocrystal memory

1. Scaled tunnel dielectric (tunnel oxide can be as thin as possible).
2. Limitation or excluding of the SILC
3. Charge loss through lateral path is suppressed
4. Direct tunneling
  - (i) prevent hot carrier degradation
  - (ii) reduces current leakage through the defects in the surrounding oxide

# High stability / High reliability

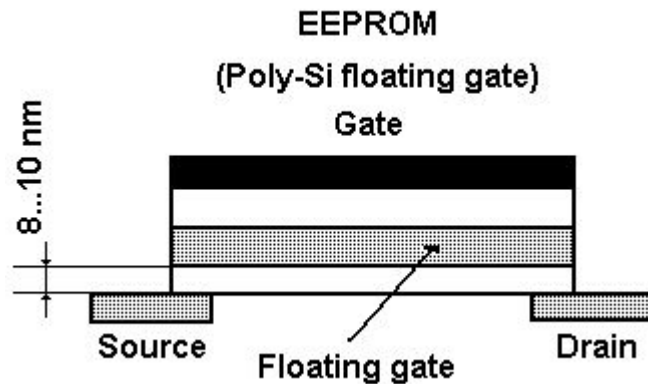


Failure

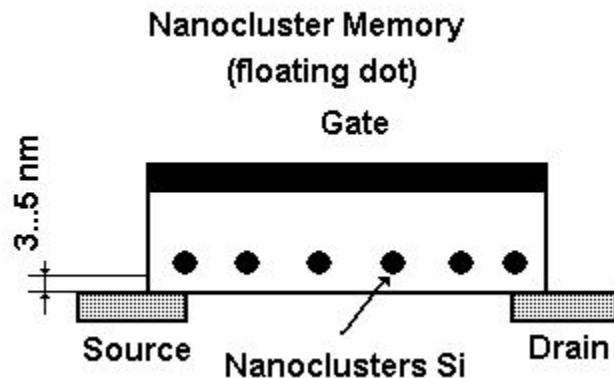


No failure

Low voltage operation / Consumption of lower power / Faster / Much smaller degradation / High injection efficiency

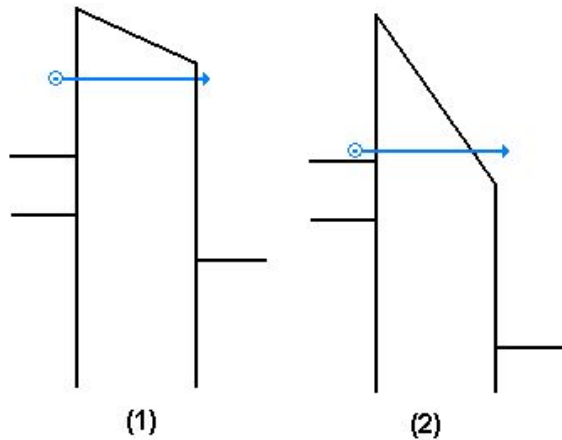


Hot carrier injection / Fowler-Nordheim tunneling

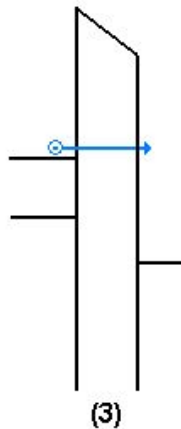


Direct tunneling ( $d_o < 4.5$  nm)

# Fowler-Nordheim – Direct tunneling(1)



Hot carrier injection (1) /  
Fowler-Nordheim  
tunneling (2)



Direct tunneling ( $d_o < 4.5$   
nm) (3)

# Fowler-Nordheim – Direct tunneling(2)

## Fowler-Nordheim tunneling

$$J = \frac{e}{8\pi h} \frac{1}{g^2} \frac{\pi c k T}{\sin \pi c k T} \exp \left\{ -\frac{4\sqrt{2m^*}}{3eE} \Phi^{3/2} \right\}$$

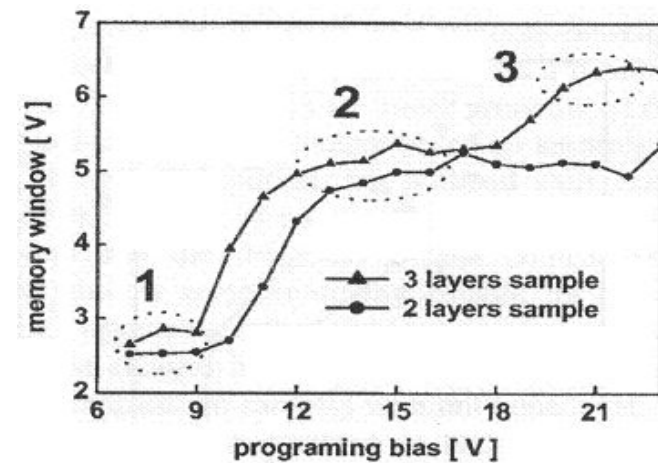
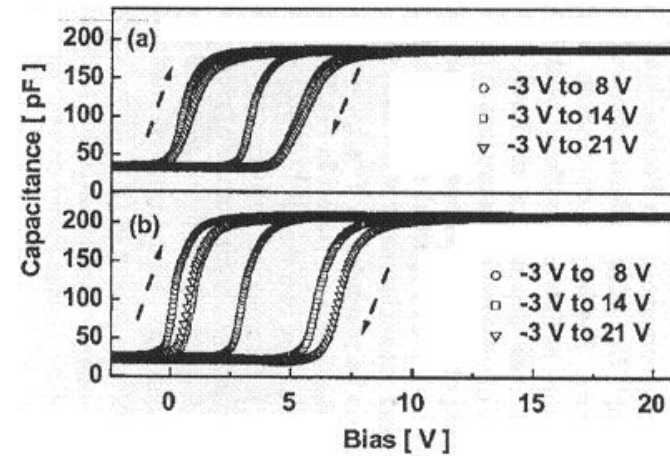
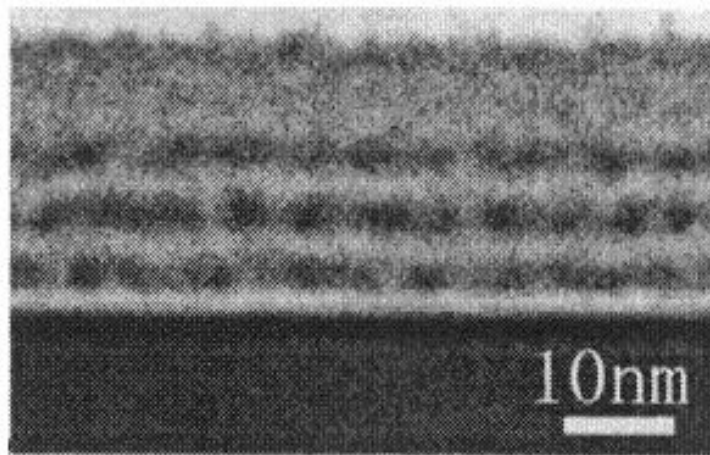
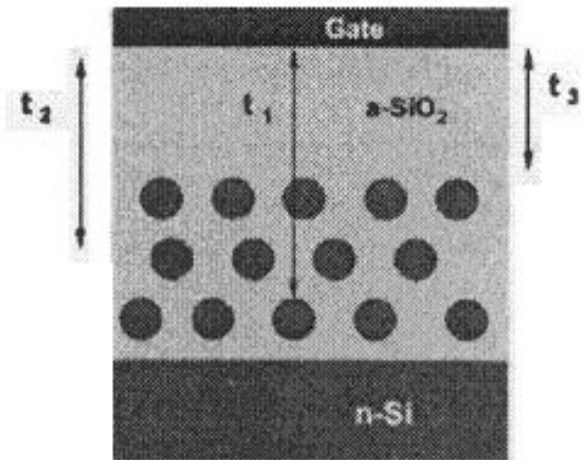
$$c = 2(2m^*)^{1/2} \frac{g}{e} \quad g = \frac{\Phi^{1/2}}{eE}$$

## Direct tunneling

$$J = \frac{e}{8\pi h} \frac{1}{g^2} \frac{\pi c k T}{\sin \pi c k T} \exp \left\{ -\frac{4\sqrt{2m^*}}{3eE} \left[ \Phi^{3/2} - (\Phi - eEd)^{3/2} \right] \right\}$$

$$g = \frac{1}{eE} \left[ \Phi^{1/2} - (\Phi - eEd)^{1/2} \right]$$

# Potential application for multilevel memory and logic



# Novel Si functional devices

1. Nanocrystal memory- quantum dot floating gate memory
2. Single electron transistors
3. Resonant tunneling devices



# Comparison of non-volatile memories

## • *EEPROM*

- FN – Tunneling
- e- in floating gate
- $d_{ox} \sim 8 \dots 10$  nm
- $V_w/e \sim 12 \dots 20$  V
- Endurance  $\sim 10^4 \dots 10^6$
- Retention: 10 years

## • *Nanocrystal Memory*

- Direct Tunneling
- e- in Nanoclusters
- $d_{ox} \sim 2 \dots 5$  nm
- $V_w/e \sim 2 \dots 4$  V
- Endurance  $> 10^6 \dots 10^{10}$
- Retention:  $> 10$  years

# Requirements for NC's used for NC Memory

1. Near-Interface NC-Band
2. NC-Size: 3...8 nm    **~5 nm**  
(NCs separated to each others)
3. Distance to Substrate: **3 – 5 nm**  
(NCs separated to the substrate)
4. Areal density  $(5-10) \times 10^{11} \text{ cm}^{-2}$

Size homogeneity of Si nanoclusters is very important

Self assembly is promising process to achieve Si nanoparticle size uniformity and high areal density

# Requirements for NC's used for NC Memory

Improved device performance and reliability depends upon:

1. Ability to control cluster core size
2. Cluster size distribution
3. Crystallinity
4. Areal particle density
5. Oxide passivation quality
6. Crystal-to-crystal insulation

# 1.3.2. New physics

## Quantum confinement effect

### 3- dimensional system (3D)

$$W(\mathbf{k}) = \frac{\hbar^2}{2} \left( \frac{k_x^2}{m_x^*} + \frac{k_y^2}{m_y^*} + \frac{k_z^2}{m_z^*} \right)$$

### 2- dimensional system (2D)

$$W(k_x, k_y, n) = \frac{\hbar^2}{2m_n^*} (k_x^2 + k_y^2) + \frac{\hbar^2}{2m_n^*} \left( n^2 \frac{\pi^2}{L_z^2} \right)$$

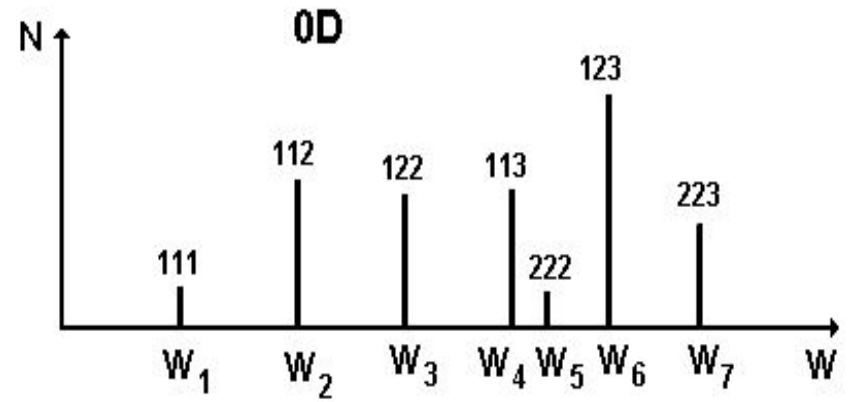
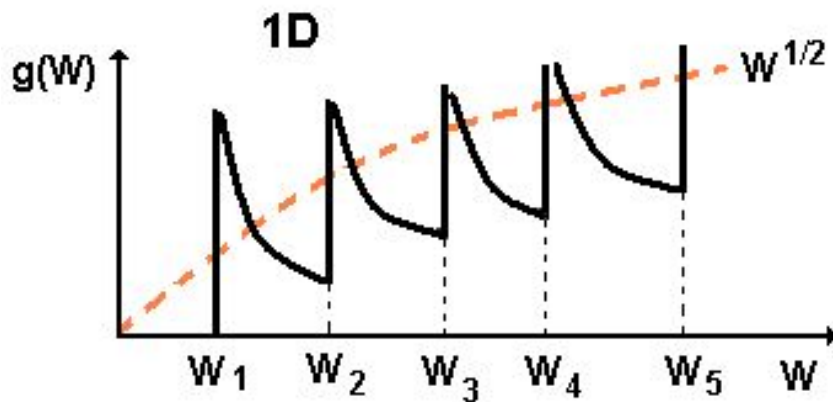
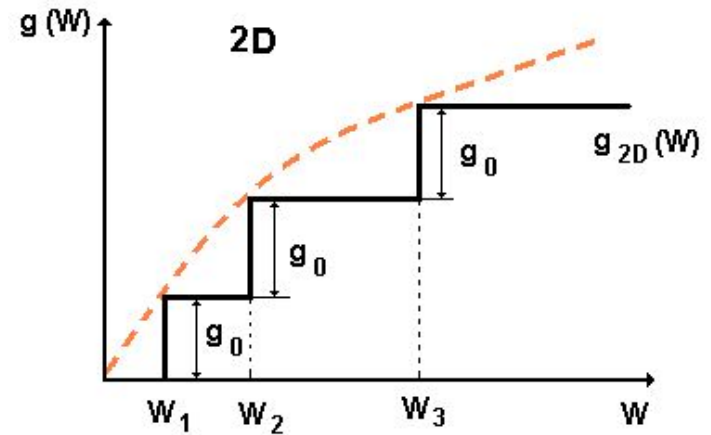
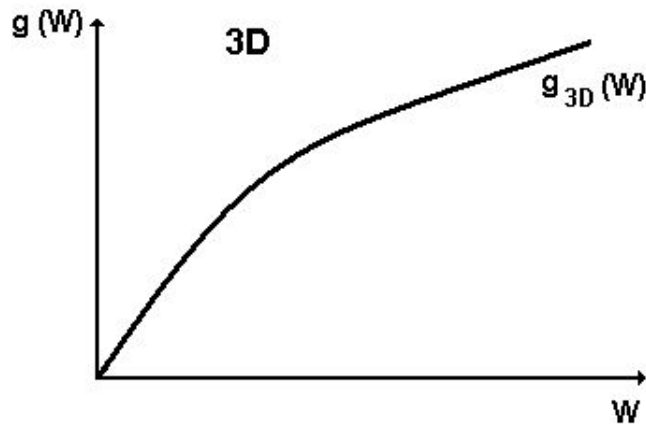
### 1- dimensional system (1D)

$$W(k_x, m, n) = \frac{\hbar^2}{2m_n^*} k_x^2 + \frac{\hbar^2}{2m_n^*} \left( m^2 \frac{\pi^2}{L_y^2} + n^2 \frac{\pi^2}{L_z^2} \right)$$

### 0- dimensional system (0D)

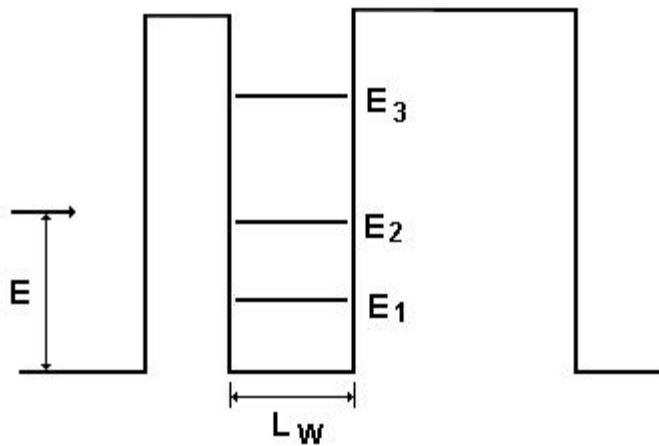
$$W(l, m, n) = \frac{\hbar^2}{2m_n^*} \left( l^2 \frac{\pi^2}{L_x^2} + m^2 \frac{\pi^2}{L_y^2} + n^2 \frac{\pi^2}{L_z^2} \right) = \frac{\pi^2 \hbar^2}{2m_n^*} \left( \frac{l^2}{L_x^2} + \frac{m^2}{L_y^2} + \frac{n^2}{L_z^2} \right)$$

# Quantum confinement effect



# Quantum confinement effect

## Energy spectrum



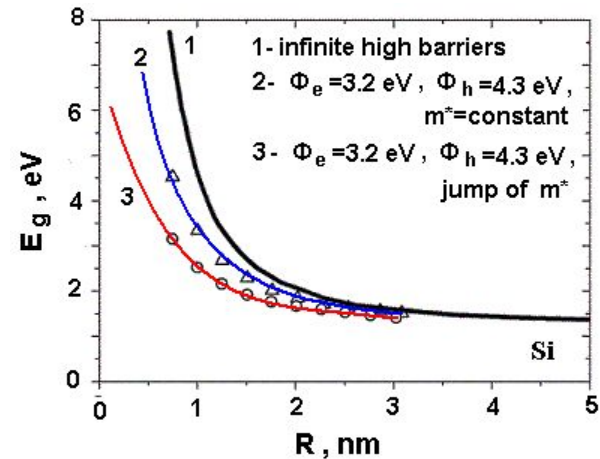
$$3D - \Delta E_{12} \sim 10^{-22} \text{ eV}$$

$$0D - \Delta E_{12} \sim 10^0 - 10^{-2} \text{ eV}$$

# Quantum confinement effect

In case of spherical nanoparticles (nanocrystals)

$$W(d) = \frac{\pi^2 \hbar^2 n^2}{2m_n^* d^2} = \frac{h^2 n^2}{8m_n^* d^2}$$



**Conclusion 1: Electron energy spectrum in quantum dot is a set of discrete energy levels.**

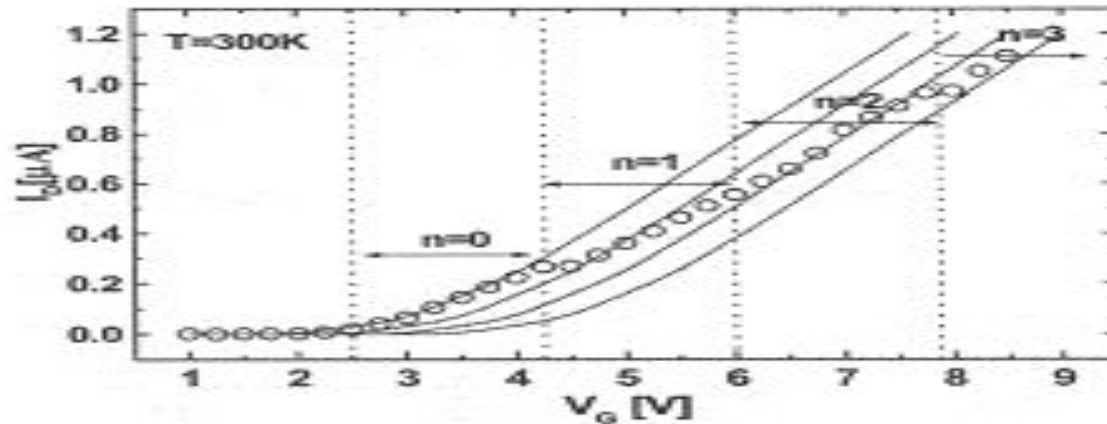
**Definition.** Semiconductor quantum dots. Semiconductor nanocrystals of diameter below  $\sim 10$  nm.

# Coulomb blockade effect

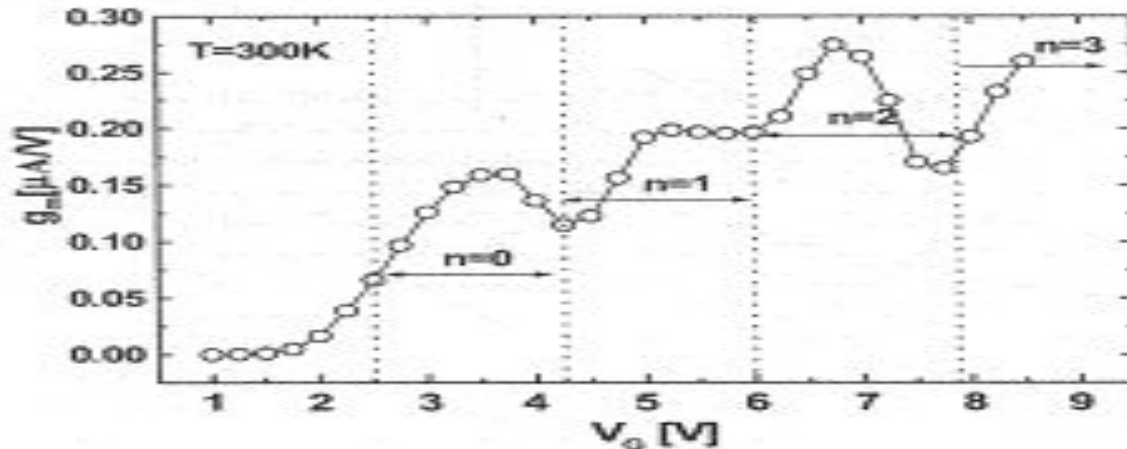
**The effect of blocking the injection of a second charge into a semiconductor under a certain electric field, due to modification of the electrostatic potential within it by the present of a first injected charge. Injection of a second charge needs to overcome the semiconductor charging energy.**



# Coulomb blockade effect



(a)



(b)

[2]. I. Kim et al. *Jpn. J. Appl. Phys.*..40, 447-451, 2001.

# Coulomb blockade effect

## Conclusions 2.

1. The electrons already transferred to the nanocrystals block the transfer of other electrons.
2. Single electron effects are expected to be observed at room temperature for nanocrystals with diameter up to  $>10$  nm ( $E_e + \Delta E_{12} > kT$ ).

# Single electron transistor

Quantum confinement effect

+

Coulomb blockade effect

Single electron charging effects

---

Single electron transistor

# Single electron transistor

Fabrication route of forming high-density of small and uniform in size nanocrystals is an important issue to be resolved before the practical application of single electron phenomena

## 1.3.5. Parameters

$$V_{w/e} \sim 2 \dots 4 \text{ V}$$

Endurance  $> 10^6 \dots 10^{10}$

Retention:  $> 10$  years

## 1.4. Conclusions

1. Nanocrystal floating gate memory is a perspective candidate for the future scaled flash memory
2. Nanocrystal memory is intermediate between present floating gate nonvolatile memory and single electron memory

**Дякую за увагу!**