

Комбинационные схемы

Комбинационные схемы

Комбинационными схемами принято называть цифровые схемы у которых значения сигналов на выходах однозначно определяются набором значений входных сигналов в данный момент времени независимо от предыстории появления этого набора.

Наибольшее распространение получили следующие типовые комбинационные схемы:

- Пороговые логические схемы. Схемы мажоритарной логики “ m из n ”.
- Кодирующие устройства – шифраторы и дешифраторы.
- Преобразователи кодов.
- Цифровые коммутаторы (селлекторы) – мультиплексоры и демультимплексоры.
- Схемы контроля данных – схемы четности (нечетности).
- Схемы сравнения – цифровые компараторы.
- Арифметические схемы – сумматоры (вычитатели).
- Арифметико-логические устройства.

Пороговые логические схемы

Пороговой логической схемой называется схема, в которой определенное минимальное количество входных переменных должно иметь состояние 1, чтобы на выходе появилась логическая 1.

Ещё такие схемы называются схемами мажоритарной логики или схемами совпадения.

Наиболее часто встречаются схемы мажоритарной логики “2 из 3”.

Таблица истинности схемы мажоритарной логики

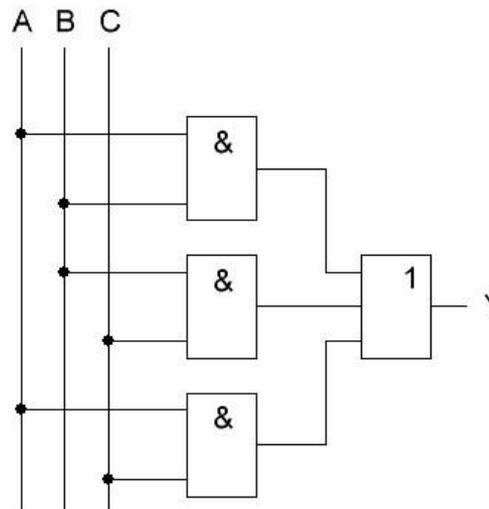
A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

СДНФ:

$$Y = \bar{A} \cdot B \cdot C + A \cdot \bar{B} \cdot C + A \cdot B \cdot \bar{C} + A \cdot B \cdot C$$

ДНФ:

$$Y = A \cdot B + B \cdot C + A \cdot C$$



Дешифрат

ор

Дешифратор (декодер (decoder)) – цифровой узел предназначенный для преобразования заданного на входах двоичного кода в выходной унарный код

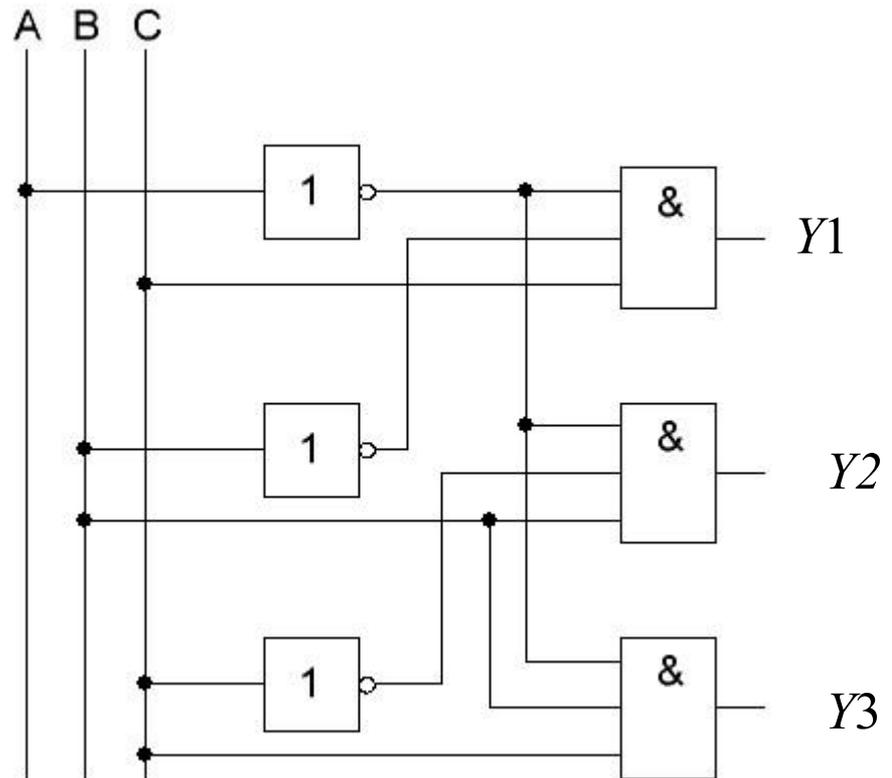
таблица истинности схемы дешифратора

A	B	C	Y1	Y2	Y3
0	0	0	0	0	0
0	0	1	1	0	0
0	1	0	0	1	0
0	1	1	0	0	1

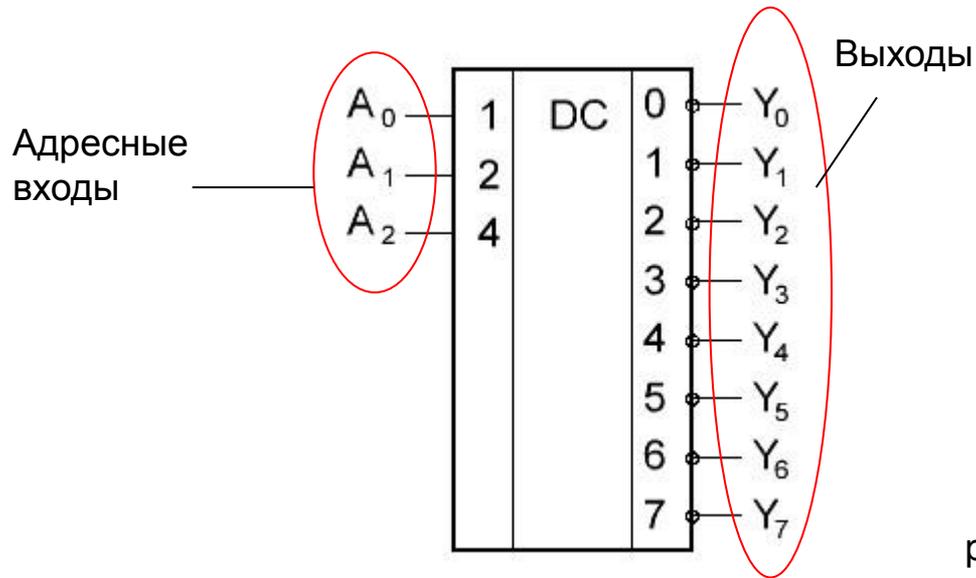
$$Y1 = \bar{A}\bar{B}C$$

$$Y2 = \bar{A}B\bar{C}$$

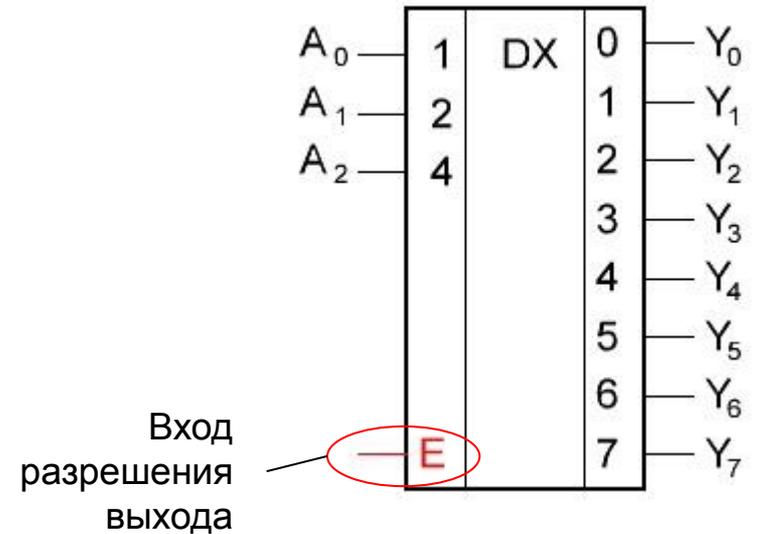
$$Y3 = \bar{A}BC$$



Условно-графические обозначения дешифраторов



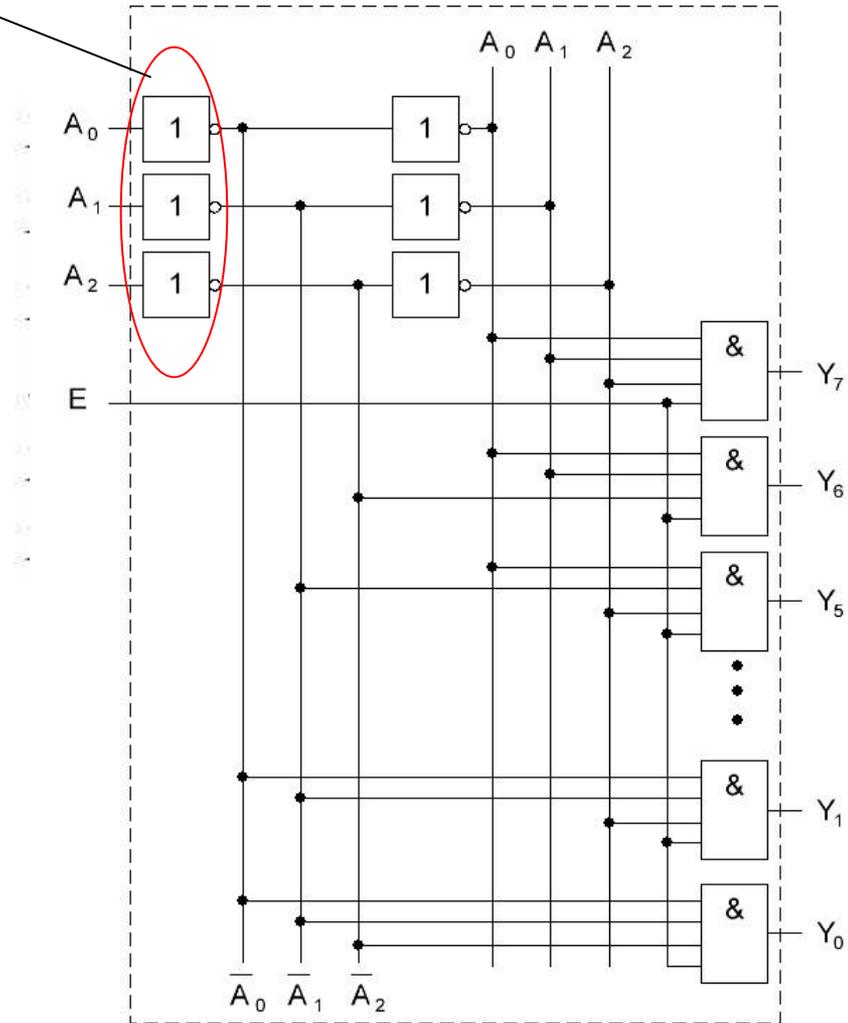
УГО дешифратора



УГО декодера-демультиплексора

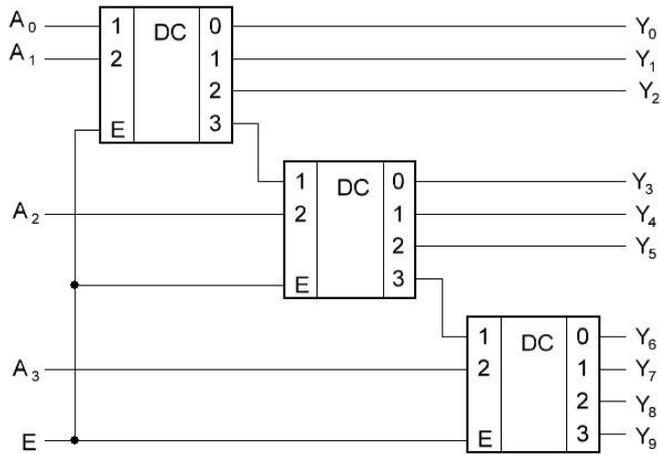
Линейный дешифратор 3→8

Буферные
усилители

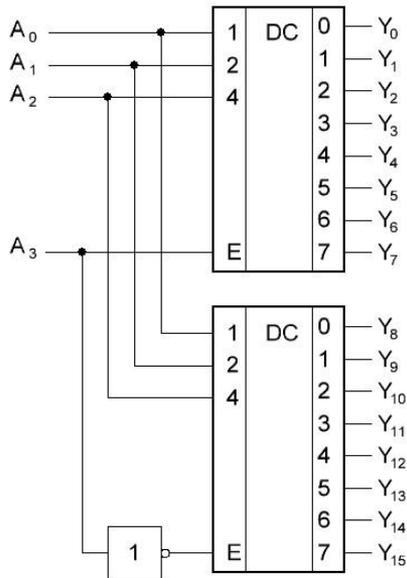


Расширение числа выходов дешифратора.

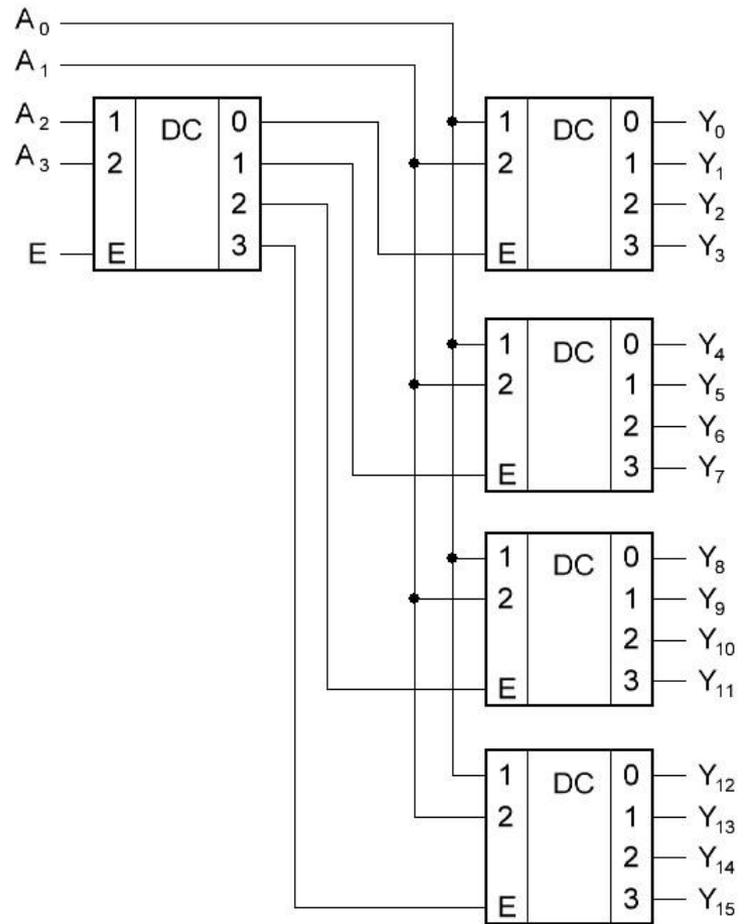
Каскадирование



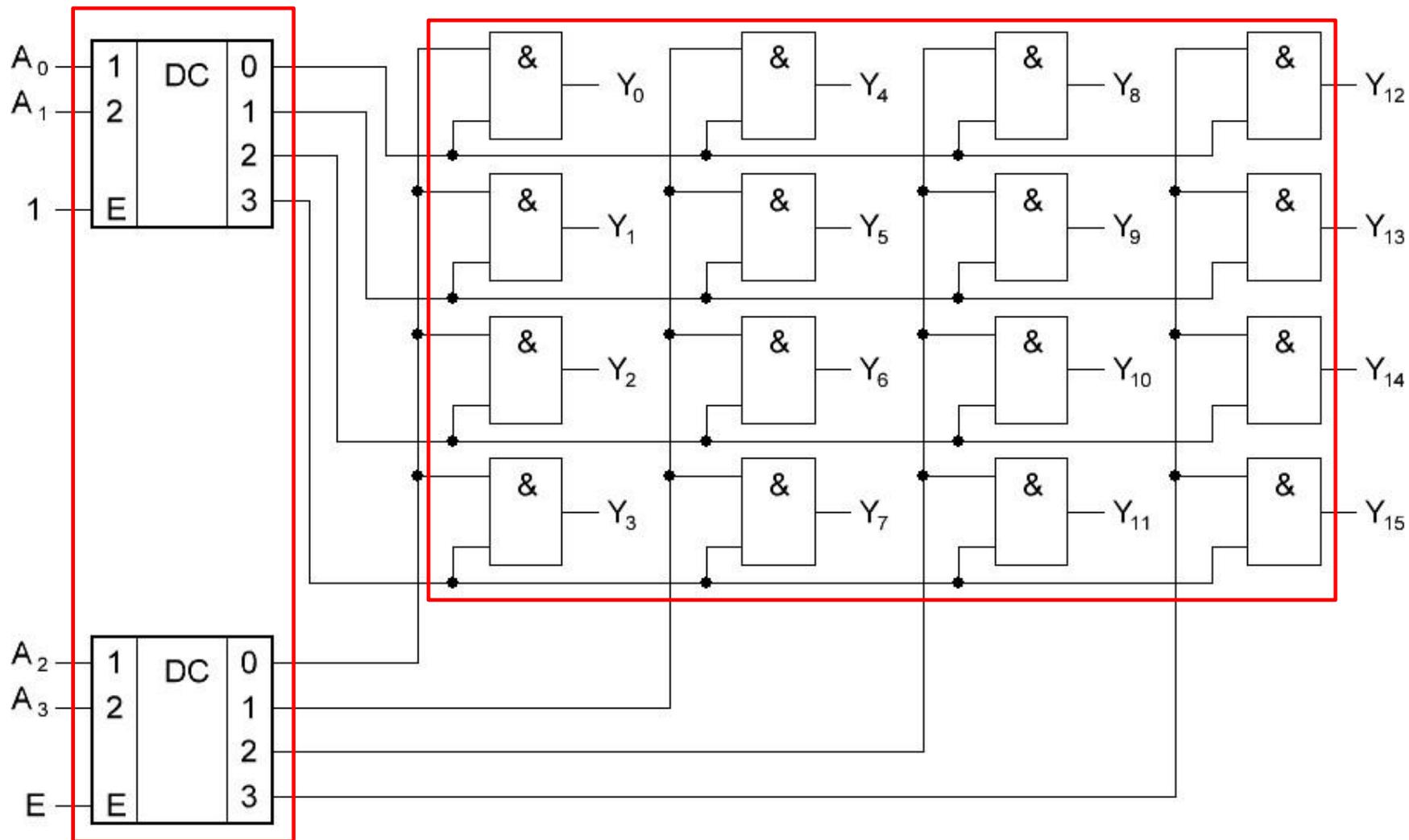
Дешифратор 4→10. Каскадное соединение



Дешифратор 4→16. Параллельное соединение



Дешифратор 4→16. Пирамидальное соединение



Двухкаскадный дешифратор 4→16.
Матричный (прямоугольный) дешифратор

Шифратор

Шифратором или *кодером (encoder)*, называется функциональный узел компьютера, предназначенный для преобразования входного m -разрядного унитарного кода в выходной n -разрядный двоичный позиционный код.

Шифратор выполняет функцию, обратную дешифратору.

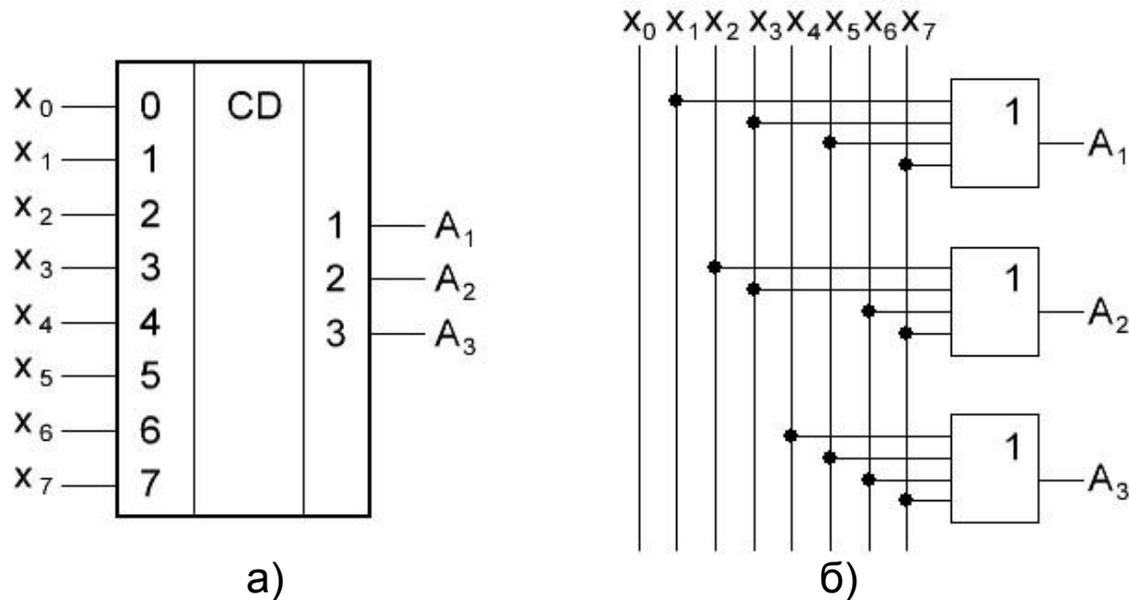


Рис. 1. Шифратор $8 \rightarrow 3$

а) – Условно-графическое обозначение; б) – функциональная схема.

Число входов m и выходов n такого шифратора связано соотношением $m = 2^n$.

Шифратор можно использовать, например, для отображения в виде двоичного кода номера нажатой кнопки или положения многопозиционного переключателя

Приоритетный шифратор

Шифратор, который при одновременном поступлении нескольких входных сигналов вырабатывает выходной код только старшего разряда, имеющий наибольший вес, называются **приоритетными**.

Приоритетные шифраторы (*priority encoder*), предназначены для поиска старшей (самой левой) единицы в слове и формирования на выходе двоичного номера искомого разряда. Ещё их называют **указателями старшей единицы**.

Такие шифраторы применяют, например, в устройствах нормализации чисел с плавающей запятой в арифметико-логических устройствах микропроцессоров, в системах с приоритетным обслуживанием запросов на прерывание работы компьютера и т.д.

Схема выделения старшей единицы преобразует m -разрядное слово следующим образом:

- все старшие разряды старшей единицы равны 1, а младшие — 0.
- все разряды младше старшей единицы равны 0.

X_3	X_2	X_1	X_0	A_1	A_0	G_0
0	0	0	0	X	X	0
0	0	0	1	0	0	1
0	0	1	X	0	1	1
0	1	X	X	1	0	1
1	X	X	X	1	1	1

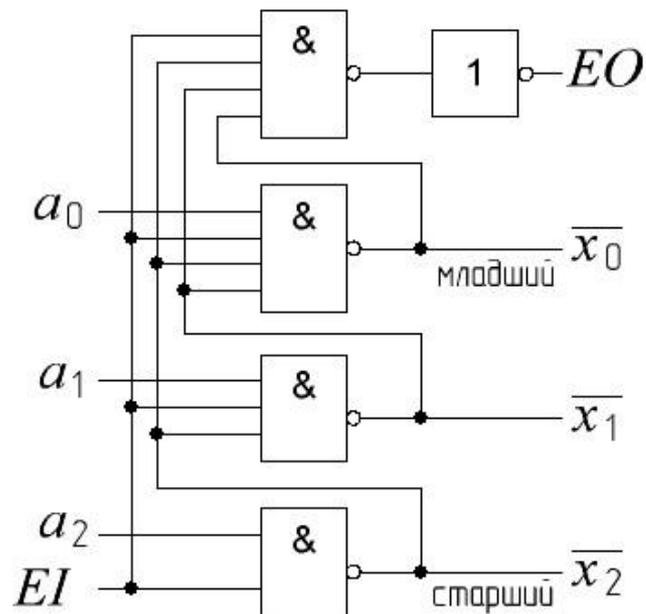


Рис. 2. Блок выделения старшей единицы

Синтез кодовых преобразователей

A		B		
a_2	a_1	Z	J	K
0	0	1	0	0
0	1	0	0	1
1	0	0	1	1
1	1	0	0	0

$$Z = \overline{a_2} \cdot \overline{a_1}; \quad J = a_2 \cdot \overline{a_1}; \quad K = \overline{a_2} \cdot a_1 + a_2 \cdot \overline{a_1}.$$

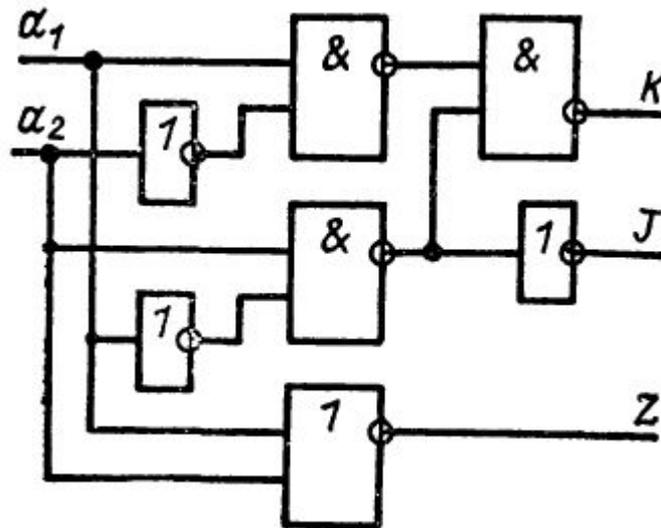


Рис. 4. Кодовый преобразователь, синтезированный как система булевых функций.

A	B
0	4
1	1
2	3
3	0

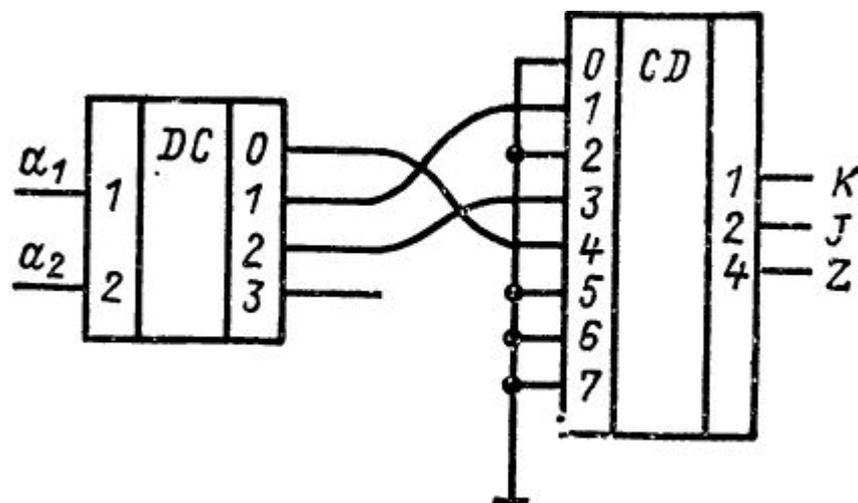
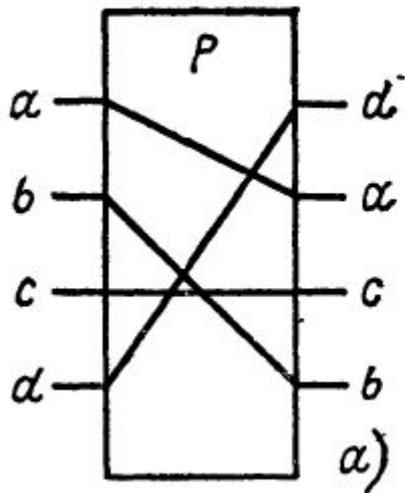
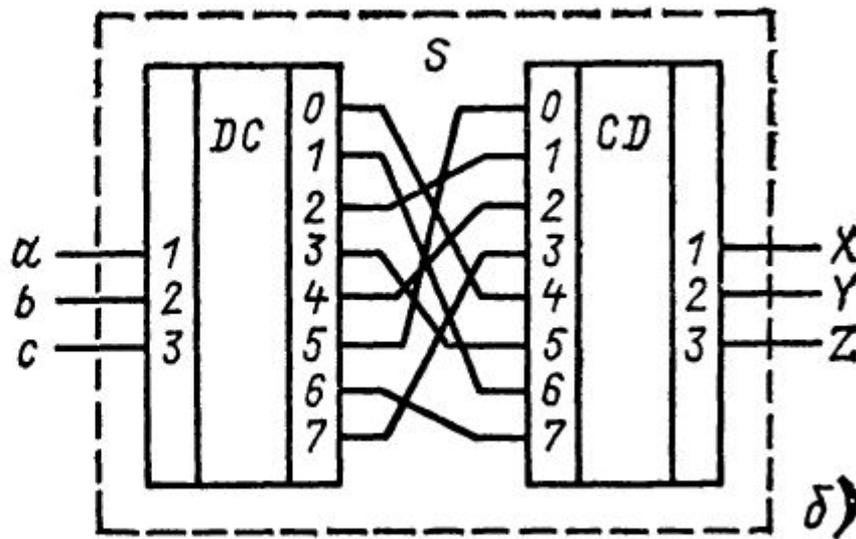


Рис. 5. Кодовый преобразователь, построенный как структура декодер→кодер.



Узел перестановки



Узел подстановки

Рис. 6. Функциональные узлы криптографической защиты информации: а) – перестановки и б) – подстановки.

Мультиплексо

Мультиплексором называется функциональный узел электронного устройства, предназначенный для поочередной коммутации (переключения) информации от одного из n входов на общий выход.

Мультиплексор – это такой вид комбинационной схемы, которая осуществляет передачу сигнала с определенного входа $I_0 \dots I_{n-1}$ на свой единственный выход Y при условии наличия разрешающего сигнала на управляющих входах A_{m-1}, \dots, A_1, A_0 , определяющих номер подключаемого входа к выходу.

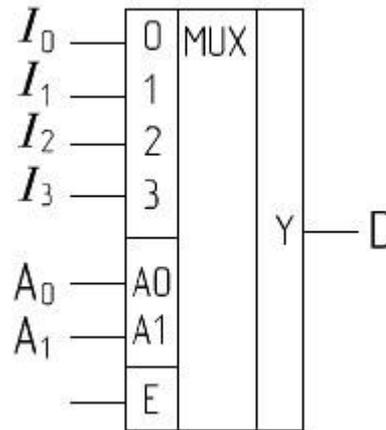


Рис. 7. Условное графическое изображение 4-канального мультиплексора

Номер конкретной входной линии I_n , подключаемой к выходу Y в каждый заданный момент (машинный такт) времени, определяется кодом, поданным на адресные входы A_0, A_1, \dots, A_{m-1} .

Связь между числом информационных n и адресных m входов определяется соотношением $n = 2^m$.

Таблица истинности мультиплексора

A_1	A_0	Y_3	Y_2	Y_1	Y_0	D
0	0	0	0	0	1	$Y_0 \cdot I_0$
0	1	0	0	1	0	$Y_1 \cdot I_1$
1	0	0	1	0	0	$Y_2 \cdot I_2$
1	1	1	0	0	0	$Y_3 \cdot I_3$

$$D = Y_0 \cdot I_0 + Y_1 \cdot I_1 + Y_2 \cdot I_2 + Y_3 \cdot I_3$$

$$D = \overline{A_1} \cdot \overline{A_0} \cdot I_0 + \overline{A_1} \cdot A_0 \cdot I_1 + A_1 \cdot \overline{A_0} \cdot I_2 + A_1 \cdot A_0 \cdot I_3$$

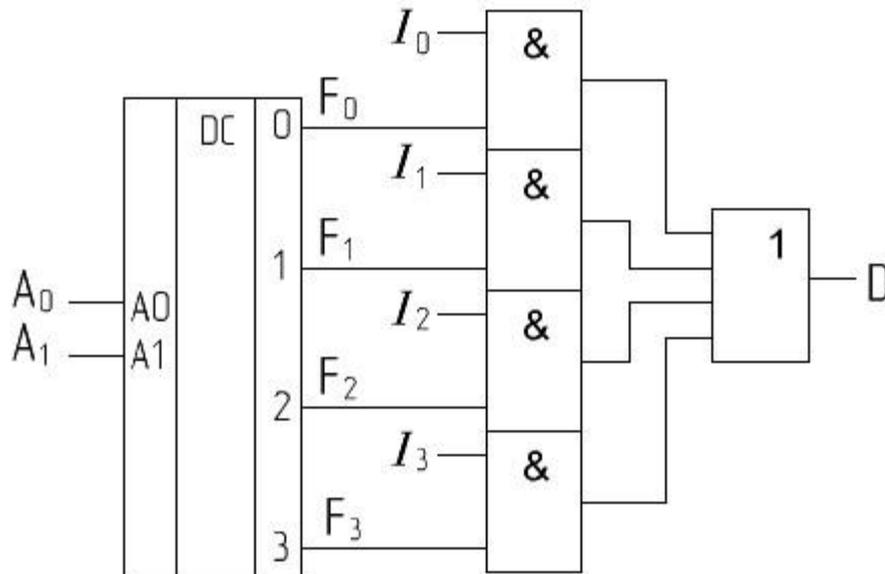


Рис. 8. Принципиальная схема мультиплексора 4→1

Каскадирование мультиплексов

Каскадирование позволяет реализовать коммутацию произвольного числа входных линий на базе серийных микросхем мультиплексов меньшей разрядности.

Пример. Пусть необходимо построить схему мультиплексора на 16 входов на основе типовых 4-входовых мультиплексов.

Младшие разряды адреса A_1, A_0 подключаются к адресным входам всех мультиплексов первого уровня, на выходах которых вырабатываются следующие

$$\begin{aligned}d_0 &= Y_0 \cdot I_0 + Y_1 \cdot I_1 + Y_2 \cdot I_2 + Y_3 \cdot I_3; & Y_0 &= \overline{A_1} \cdot \overline{A_0} \\d_1 &= Y_0 \cdot I_4 + Y_1 \cdot I_5 + Y_2 \cdot I_6 + Y_3 \cdot I_7; & Y_1 &= \overline{A_1} \cdot A_0 \\d_2 &= Y_0 \cdot I_8 + Y_1 \cdot I_9 + Y_2 \cdot I_{10} + Y_3 \cdot I_{11}; & Y_2 &= A_1 \cdot \overline{A_0} \\d_3 &= Y_0 \cdot I_{12} + Y_1 \cdot I_{13} + Y_2 \cdot I_{14} + Y_3 \cdot I_{15}; & Y_3 &= A_1 \cdot A_0\end{aligned}$$

где Y_0, Y_1, Y_2, Y_3 — выходы внутренних дешифраторов:

$I_0 \dots I_{15}$ — входные переменные.

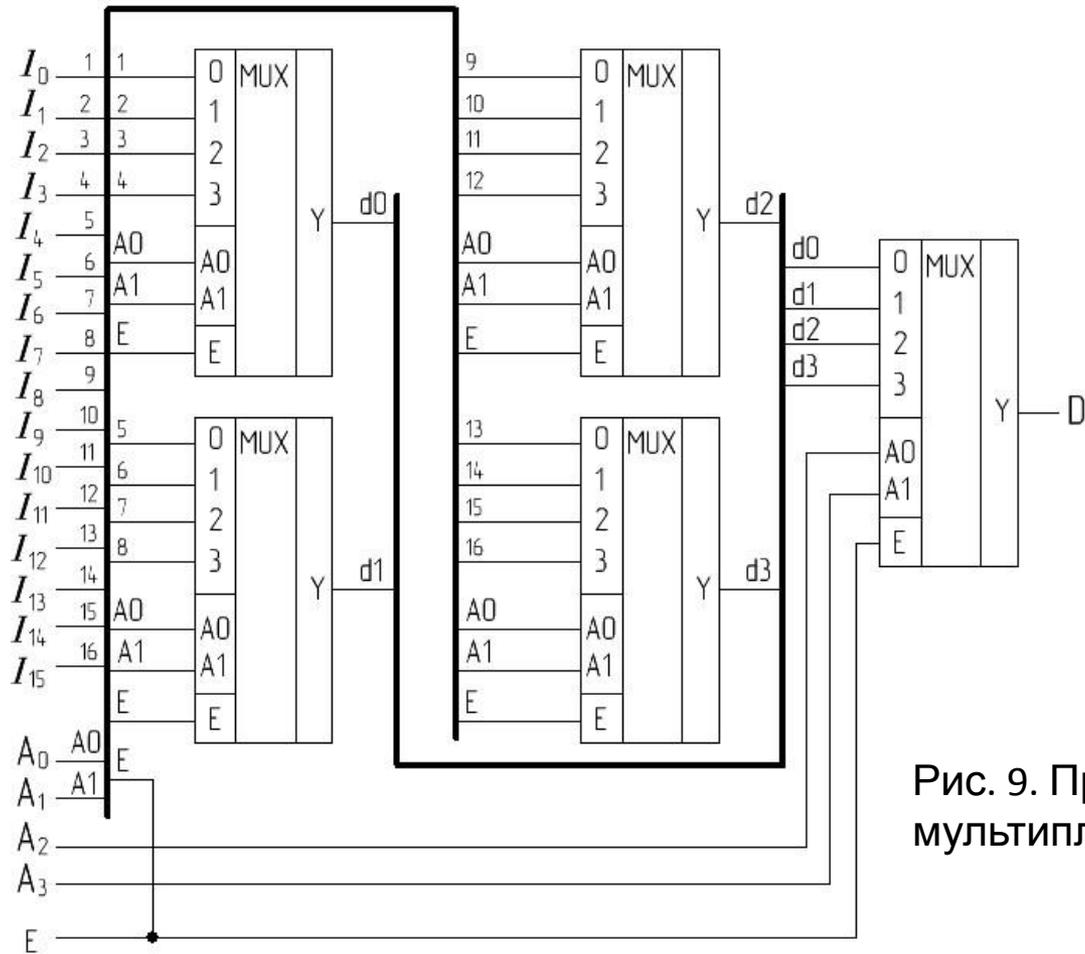


Рис. 9. Принципиальная схема мультиплексора 16→1

Старшие разряды адреса A_3, A_2 подаются на адресные входы мультиплексора второго уровня, на выходе которого формируется окончательная функция:

$$D = f_0 \cdot d_0 + f_1 \cdot d_1 + f_2 \cdot d_2 + f_3 \cdot d_3,$$

где внутренние выходы дешифратора определяются следующими минтермами:

$$f_0 = \overline{A_3} \cdot \overline{A_2}, f_1 = \overline{A_3} \cdot A_2, f_2 = A_3 \cdot \overline{A_2}, f_3 = A_3 \cdot A_2.$$

Демультимплексо

Демультимплексором называется функциональный узел компьютера, предназначенный для коммутации (переключения) сигнала с одного информационного входа D на один из n информационных выходов Y .

Номер выхода, на который в каждый такт машинного времени передается значение входного сигнала, определяется адресным кодом A_0, A_1, \dots, A_{m-1} .

Адресные входы m и информационные выходы n связаны соотношением:

$$n = 2^m \text{ или } m = \log_2 n.$$

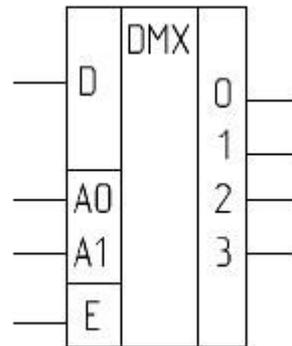


Рис. 10. Условное графическое обозначение демультимплексора 1→4

Демультимплексор выполняет функцию, обратную функции мультиплексора. С их помощью сигналы с одного информационного входа распределяются в требуемой последовательности по нескольким выходам.

Применительно к мультиплексорам и демультимплексорам пользуются также термином **селекторы данных**.

Таблица истинности
демультиплексора

Входы				Выходы			
E	A_1	A_0	D	Y_3	Y_1	Y_2	Y_0
1	0	0	0/1	1	1	1	1/0
1	0	1	0/1	1	1	1/0	1
1	1	0	0/1	1	1/0	1	1
1	1	1	0/1	1/0	1	1	1
0	0	0	<u>x</u>	1	1	1	0
0	0	1	<u>x</u>	1	1	0	1
0	1	0	<u>x</u>	1	0	1	1
0	1	1	<u>x</u>	0	1	1	1

$$Y_0 = \overline{(\overline{D + E}) \cdot \overline{A_1} \cdot \overline{A_0}};$$

$$Y_1 = \overline{(\overline{D + E}) \cdot \overline{A_1} \cdot A_0};$$

$$Y_2 = \overline{(\overline{D + E}) \cdot A_1 \cdot \overline{A_0}};$$

$$Y_3 = \overline{(\overline{D + E}) \cdot A_1 \cdot A_0}.$$

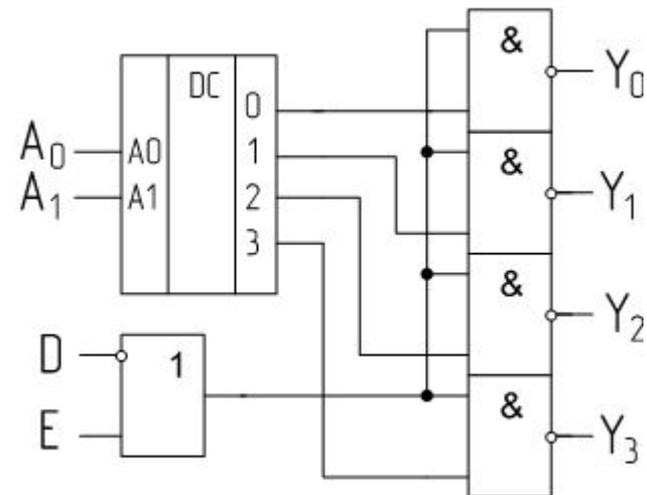


Рис. 11. Принципиальная
схема демультиплексора
1→4

Каскадирование демультиплексоров

Если требуемое число выходных шин превышает возможности одной микросхемы, дешифраторы-демультиплексоры наращиваются в систему путём каскадирования.

Каскадирование позволяет реализовать коммутацию одного входного сигнала на произвольное число выходных линий на базе серийных микросхем меньшей разрядности.

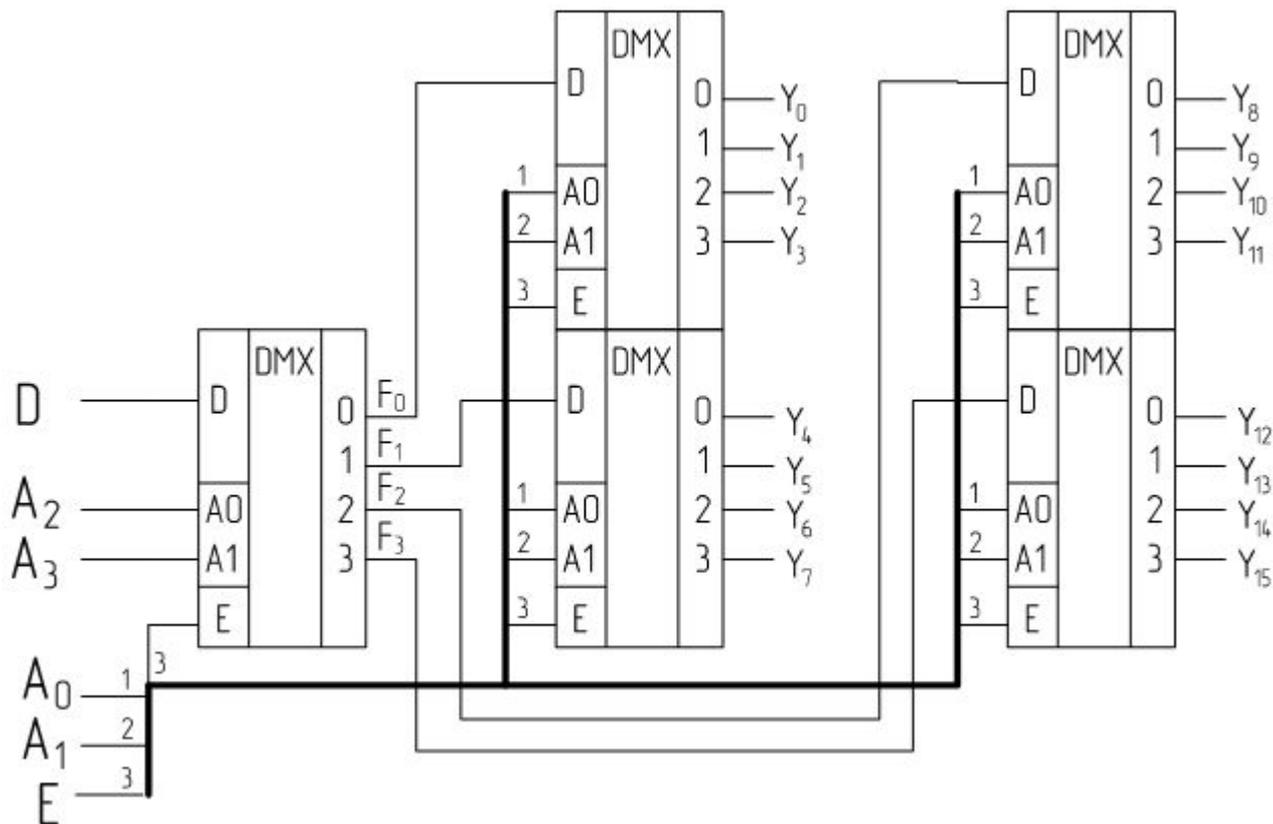


Рис. 12. Каскадирование демультиплексоров для увеличения разрядности выходных линий