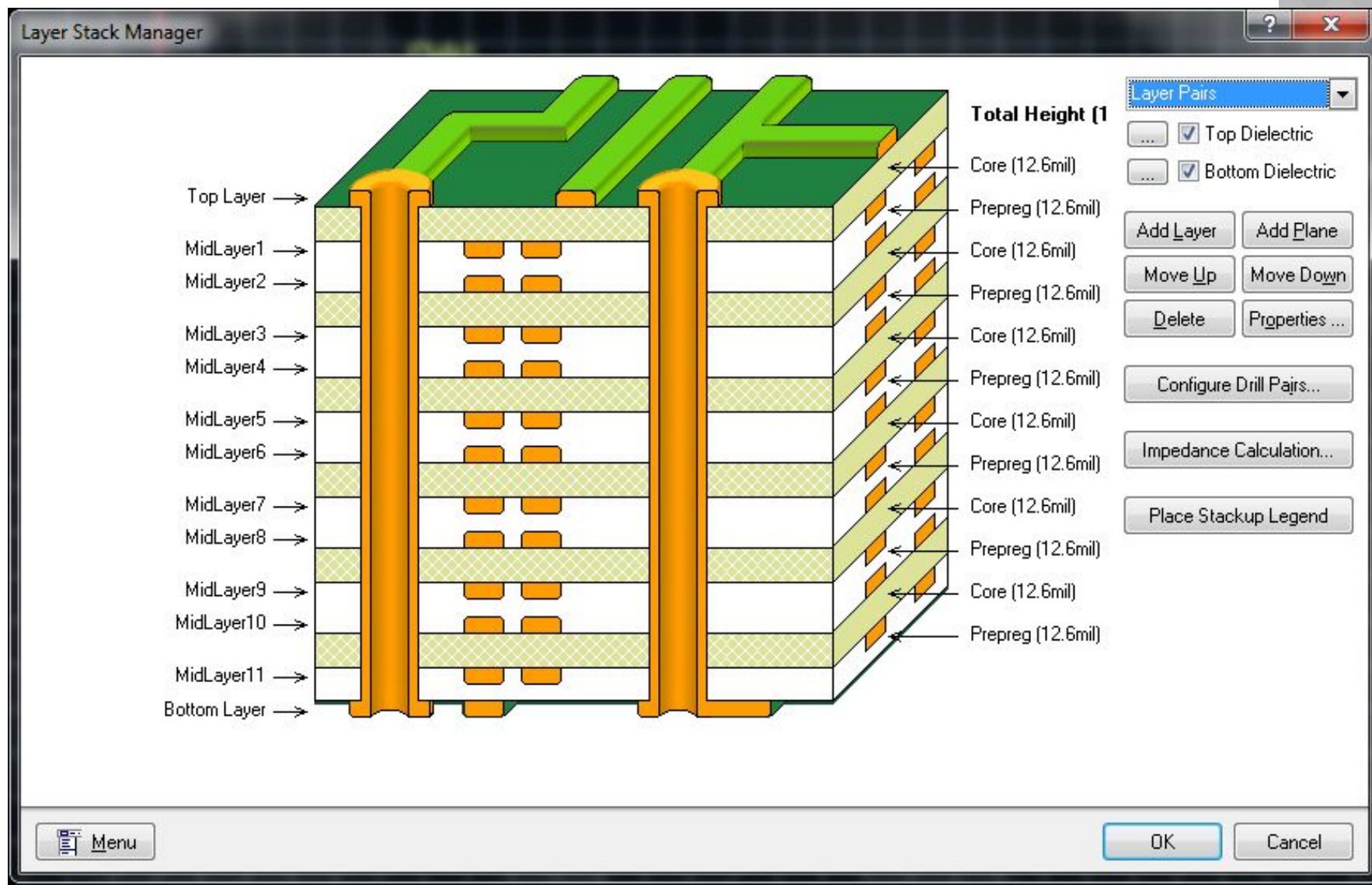


# ЗАДАНИЕ ПРАВИЛ ПРОЕКТИРОВАНИЯ ДЛЯ ПЕЧАТНЫХ ПЛАТ ПРИ РАБОТЕ В ПАКЕТЕ САПР ALTIUM DESIGNER

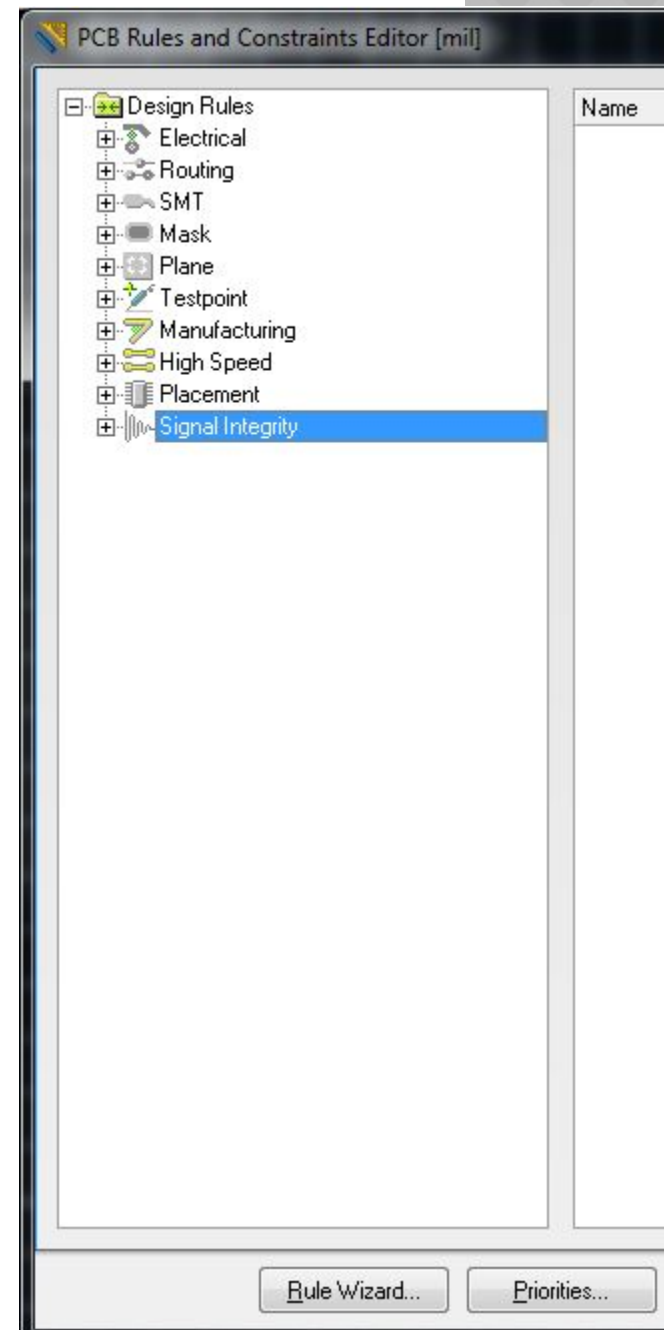
- При разработке печатных плат особое внимание необходимо уделять правилам проектирования. В первую очередь при использовании пакетов САПР необходимо учитывать количество слоёв, над которыми будет вестись работа. Настройка количества и свойств активных слоёв производится по команде в PCB Design/Layer Stack Manager



Основные правила проектирования задаются по команде **Design/Rules** или в случае использования мастера: **Design/Rule Wizard**.

Основные группы правил (необходимые при проектировании печатной платы):

- 1. **Electrical** - правила, учитывающие электрическое соединение компонентов
- 2. **Routing** - правила, учитываемые при трассировке
- 3. **SMT** - правила для контактных площадок под поверхностный монтаж
- 4. **Mask** - правила для нанесения паяльной пасты и защитной маски
- 5. **Plane** - правила для подключения полигонов и экранных слоёв
- 6. **Manufacturing** - правила, учитываемые при производстве (т.е. задаются технологические ограничения производства)
- 7. **High Speed** - правила для высокоскоростных схем
- 8. **Placement** - правила проектирования, учитываемые при размещении компонентов



- 1. Electrical - правила, учитывающие электрическое соединение компонентов

PCB Rules and Constraints Editor [mm]

Design Rules

Electrical

Clearance

Clearance

Short-Circuit

ShortCircuit

Un-Routed Net

UnRoutedNet

Un-Connected Pin

Unpoured Polygon

UnpouredPolygon

Routing

Width

Width

Routing Topology

RoutingTopology

Routing Priority

RoutingPriority

Routing Layers

RoutingLayers

Routing Corners

RoutingCorners

Routing Via Style

RoutingVias

Fanout Control

Fanout\_BGA

Fanout\_LCC

Fanout\_SOIC

Fanout\_Small

Fanout\_Default

Differential Pairs Routing

DiffPairsRouting

SMT

Mask

Plane

Power Plane Connect Style

PlaneConnect

Power Plane Clearance

PlaneClearance

Polygon Connect Style

PolygonConnect

Testpoint

Manufacturing

High Speed

Placement

Room Definition

Component Clearance

ComponentClearance

Component Orientations

Name:  Comment:  Unique ID:

Where The First Object Matches

☒ All

☐ Net

☐ Net Class

☐ Layer

☐ Net and Layer

☐ Advanced (Query)

Query Helper ...

Query Builder ...

Where The Second Object Matches

☒ All

☐ Net

☐ Net Class

☐ Layer

☐ Net and Layer

☐ Advanced (Query)

Query Helper ...

Query Builder ...

Full Query

A11


Full Query

A11

Constraints

Different Nets Only

Minimum Clearance 0.254mm



	Arc	Track	SMD Pad	TH Pad	Via	Fill	Poly	Region	Text
Arc	0.254								
Track	0.254	0.254							
SMD Pad	0.254	0.254	0.254						
TH Pad	0.254	0.254	0.254	0.254					
Via	0.254	0.254	0.254	0.254	0.254				
Fill	0.254	0.254	0.254	0.254	0.254	0.254			
Poly	0.254	0.254	0.254	0.254	0.254	0.254	0.254		
Region	0.254	0.254	0.254	0.254	0.254	0.254	0.254	0.254	
Text	0.254	0.254	0.254	0.254	0.254	0.254	0.254	0.254	0.254

Rule Wizard...

Priorities...

OK

Cancel

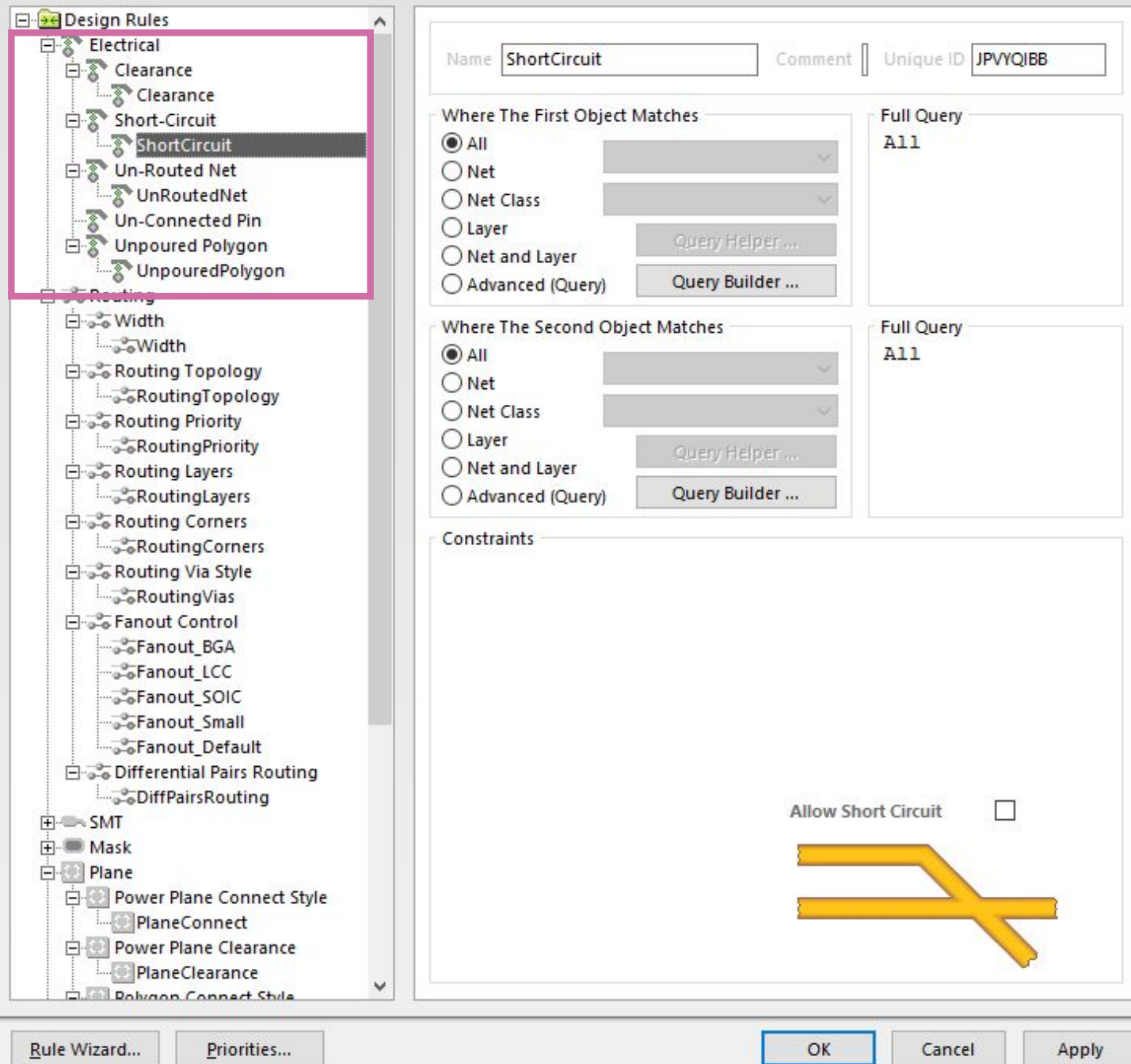
Apply

**Clearance**  
(зазоры) - определяет минимально допустимый зазор между любыми двумя металлизированными объектами на сигнальном слое. Это правило используется для задания расстояния между проводниками на плате.



## Short Circuit

(короткозамкнутые цепи) - проверяет наличие короткого замыкания между примитивами различных цепей. Наличие короткого замыкания констатируется, когда два объекта, принадлежащие цепям с различными именами, касаются друг друга.

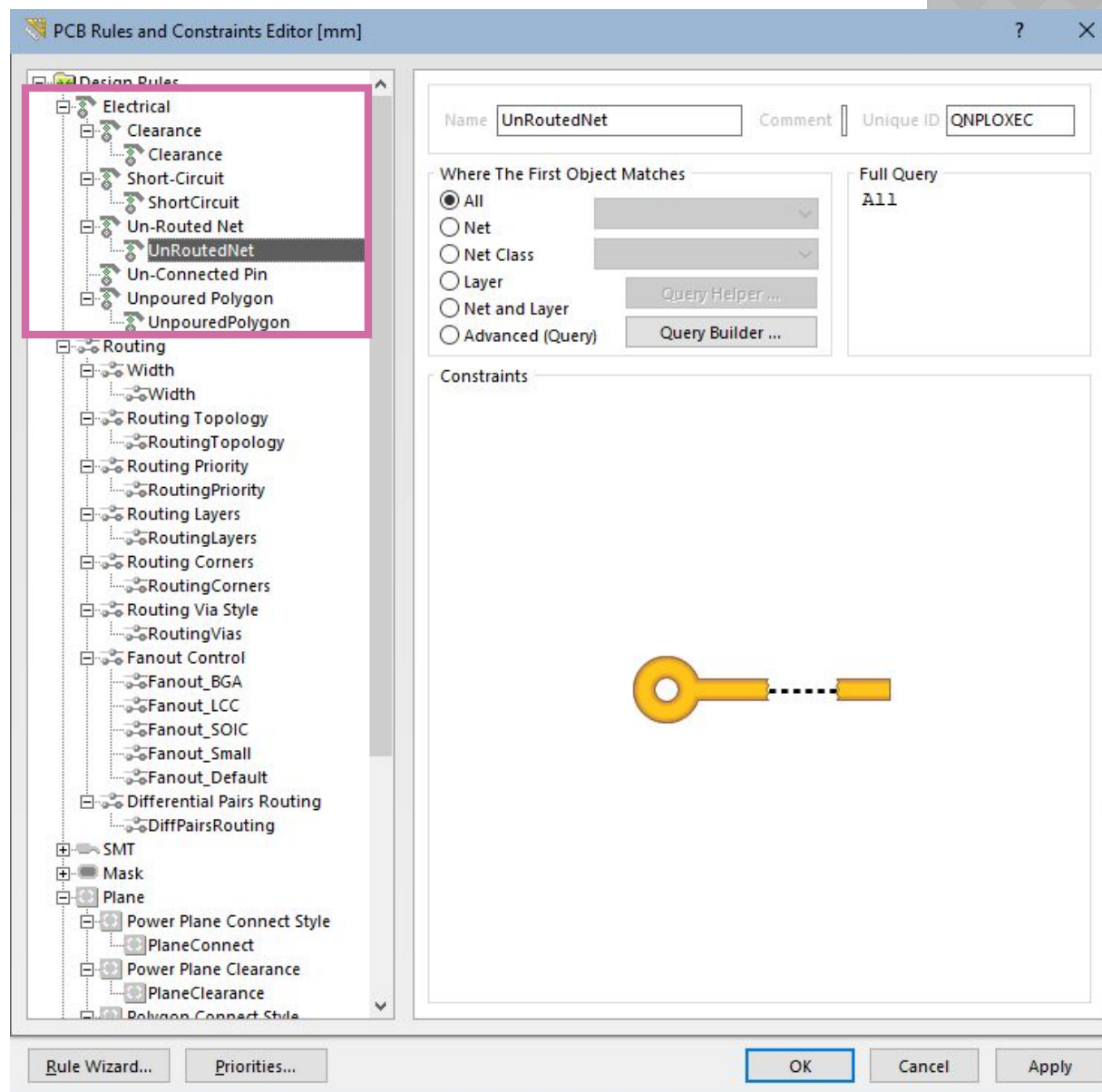


## UnRouted Nets

(неразведенные цепи) - проверяет статус завершения трассировки всех цепей, попавших в указанную область. Если трассировка некоторой цепи выполнена не до конца, то каждая незаконченная часть цепи (subnet) заносится в список, где также указывается коэффициент завершения, рассчитываемый как отношение выполненного числа соединений к полному числу соединений (в процентах).

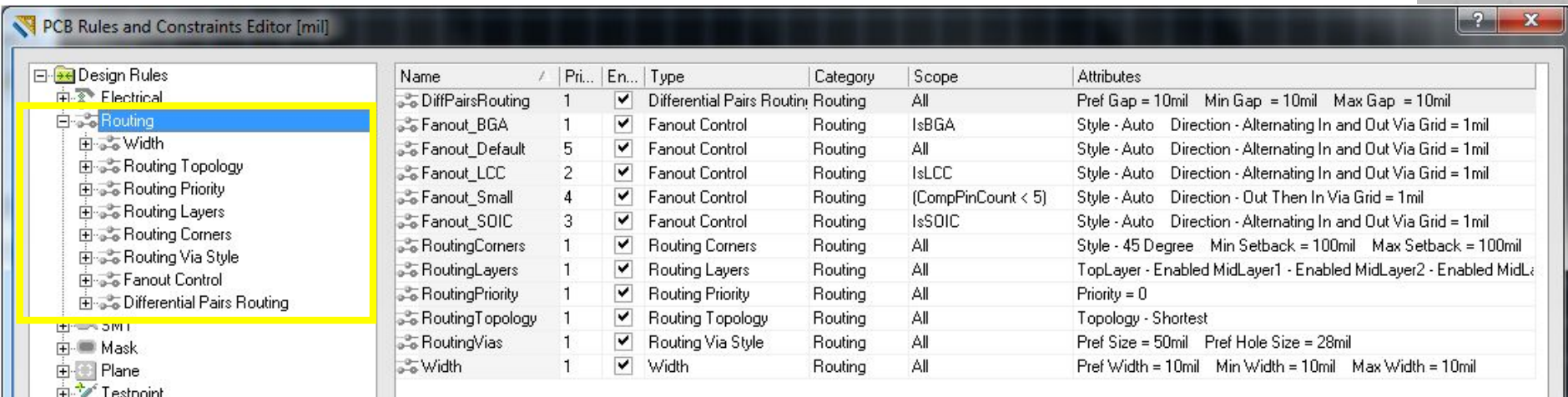
## UnConnected Pin

(неподключенные выводы) - данное правило служит для выявления выводов, не соединенных с проводниками на плате.

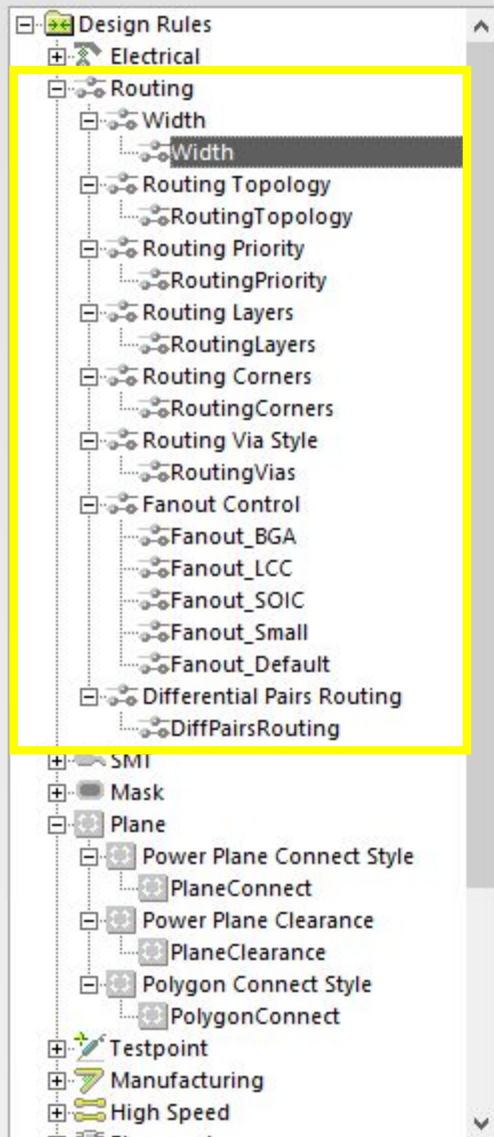


- 2. Routing - правила, учитываемые при трассировке





**Width** (ширина проводника) - данное правило определяет минимальную, максимальную и рекомендуемую ширину проводников и дуг на медном слое. Следует учитывать, что если не задан разброс от минимальной до максимальной ширины проводника, то программа не только не будет сужать дорожки при автоматической трассировке, но и не позволит уменьшить ширину трассы в интерактивном режиме (по команде Shift+W). Параметры печатного проводника могут быть заданы и в относительных единицах, т.е. имеется возможность указать волновое сопротивление проводника, по которому программа автоматически вычислит ширину трассы по ранее заданным параметрам платы.



Name Width

Comment

Unique ID SHDOIWNO

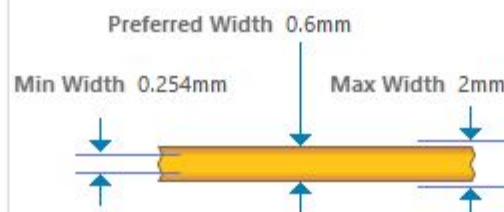
## Where The First Object Matches

- ☒ All
- ☐ Net
- ☐ Net Class
- ☐ Layer
- ☐ Net and Layer
- ☐ Advanced (Query)
- Query Helper ...
- Query Builder ...

## Full Query

All

## Constraints



- ☒ Check Tracks/Arcs Min/Max Width Individually
- ☐ Check Min/Max Width for Physically Connected Copper (tracks, arcs, fills, pads & vias)
- ☐ Characteristic Impedance Driven Width
- ☒ Layers in layerstack only

Attributes on Layer			Layer Stack Reference		Absolute Layer	
Min Width	Preferred Si...	Max Width	Name	In...	Name	In...
0.254mm	0.6mm	2mm	Top Layer	32	TopLayer	1
0.254mm	0.6mm	2mm	Bottom Layer	33	BottomLayer	32

Rule Wizard...

Priorities...

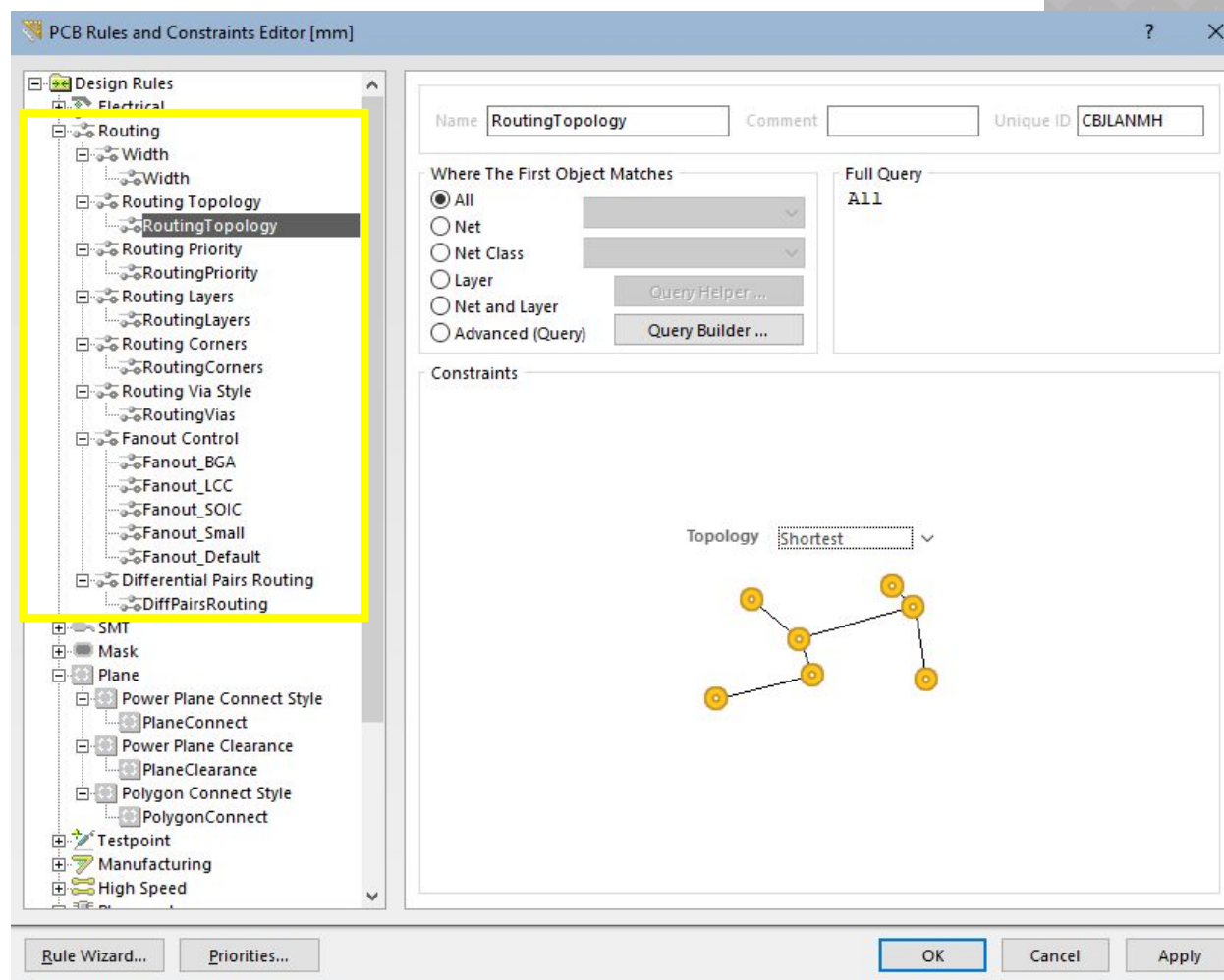
OK

Cancel

Apply

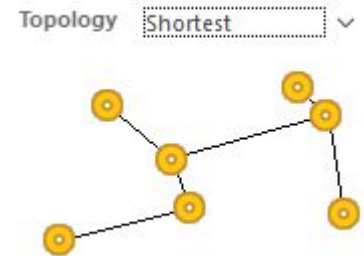
## Routing Topology

(топология трассировки) - определяет порядок или образец соединения выводов проводниками. По умолчанию редактор печатных плат располагает соединения между выводами таким образом, чтобы полная длина всех соединений была минимальной. Специфические ограничения могут накладываться на отдельные цепи по нескольким причинам: для высокоскоростных схем, где отражения сигналов должны быть минимизированы, применяется последовательная топология - «цепочка»; для цепей заземления может быть использована топология типа «звезда», что гарантирует наличие общей точки для всех проводников.

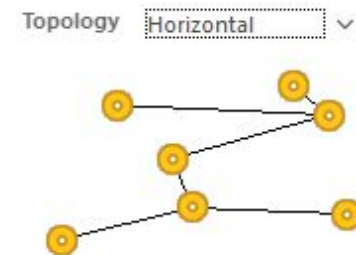


- ◉ В описываемом правиле могут быть применены следующие виды топологий:

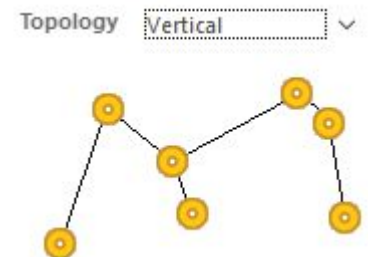
- Shortest (минимальная длина) - соединяет все узлы так, чтобы полная длина всех соединений была минимальной;



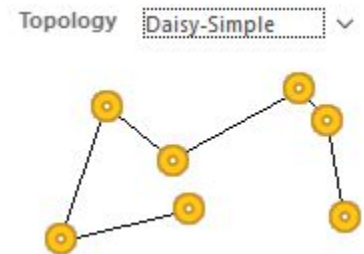
- Horizontal (горизонтальная) - соединяет все узлы таким образом, чтобы длина горизонтальных связей относилась к длине вертикальных как 5 : 1;



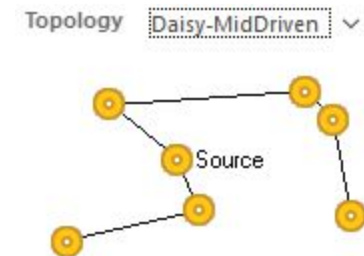
- Vertical (вертикальная) - соединяет все узлы таким образом, чтобы длина вертикальных связей относилась к длине горизонтальных как 5 : 1;



- DaisySimple (простая цепочка) -соединяет все узлы в цепочку один за другим. Порядок следования узлов в цепочке рассчитывается так, чтобы минимизировать общую длину. Если заданы начальная и конечная контактные площадки (source и terminator), то остальные располагаются по принципу минимизации общей длины. Для назначения начальных или конечных контактных площадок необходимо выполнить их редактирование;

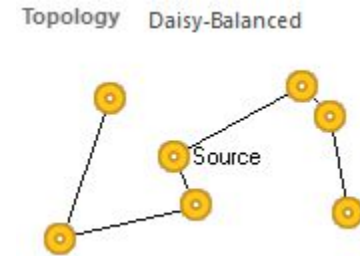


- DaisyMid Driven (цепочка с началом в центре) - начальный узел (или узлы) размещается в центре цепочки, остальные узлы делятся на две группы и размещаются по разные стороны от начального узла. При этом необходимо задать два конечных узла, которые размещаются на концах цепочки. Если не определены два конечных узла, то используется топология простой цепочки Daisy Simple;

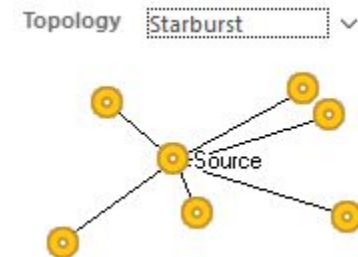




- DaisyBalanced (сбалансированные цепочки) - всё множество узлов делится на одинаковые по числу узлов цепочки, общее количество которых равно числу конечных узлов. Затем эти цепочки соединяются с начальным узлом по схеме «звезда». Несколько начальных узлов соединяются вместе;



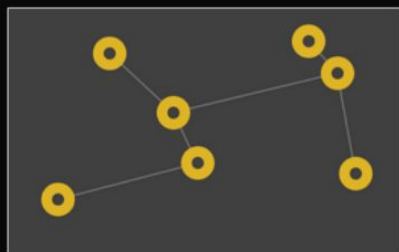
- Star (звезда) - каждый узел подсоединяется непосредственно к начальному узлу. Если заданы конечные узлы, они подсоединяются после каждого узла. При наличии нескольких начальных узлов они соединяются вместе, как в топологии типа Daisy Balanced.



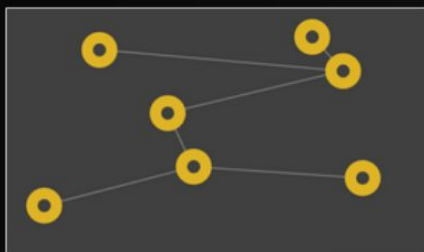
- Правила выполняются в следующем порядке: *Star*, *DaisyBalanced*, *DaisyMid Driven*, *DaisySimple*, *Horizontal*, *Vertical*, *Shortest*.

## Концепция связности

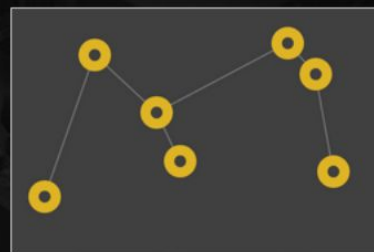
Altium®



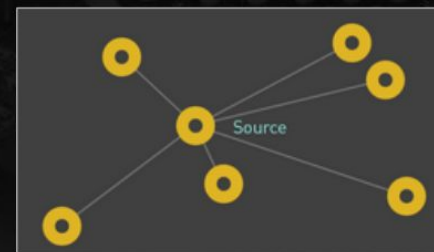
Кратчайшая



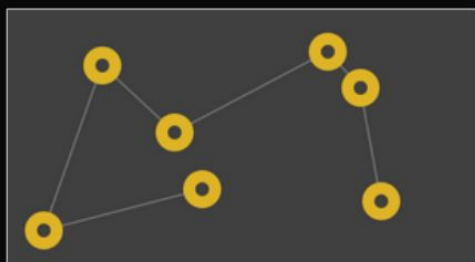
Горизонтальная



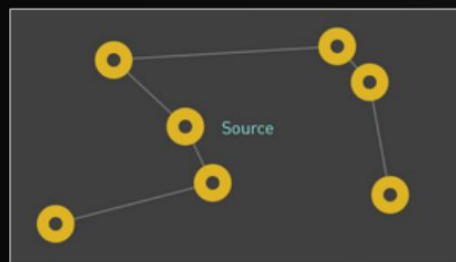
Вертикальная



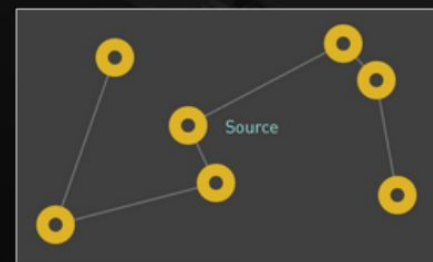
Звездообразная



Гирлянда



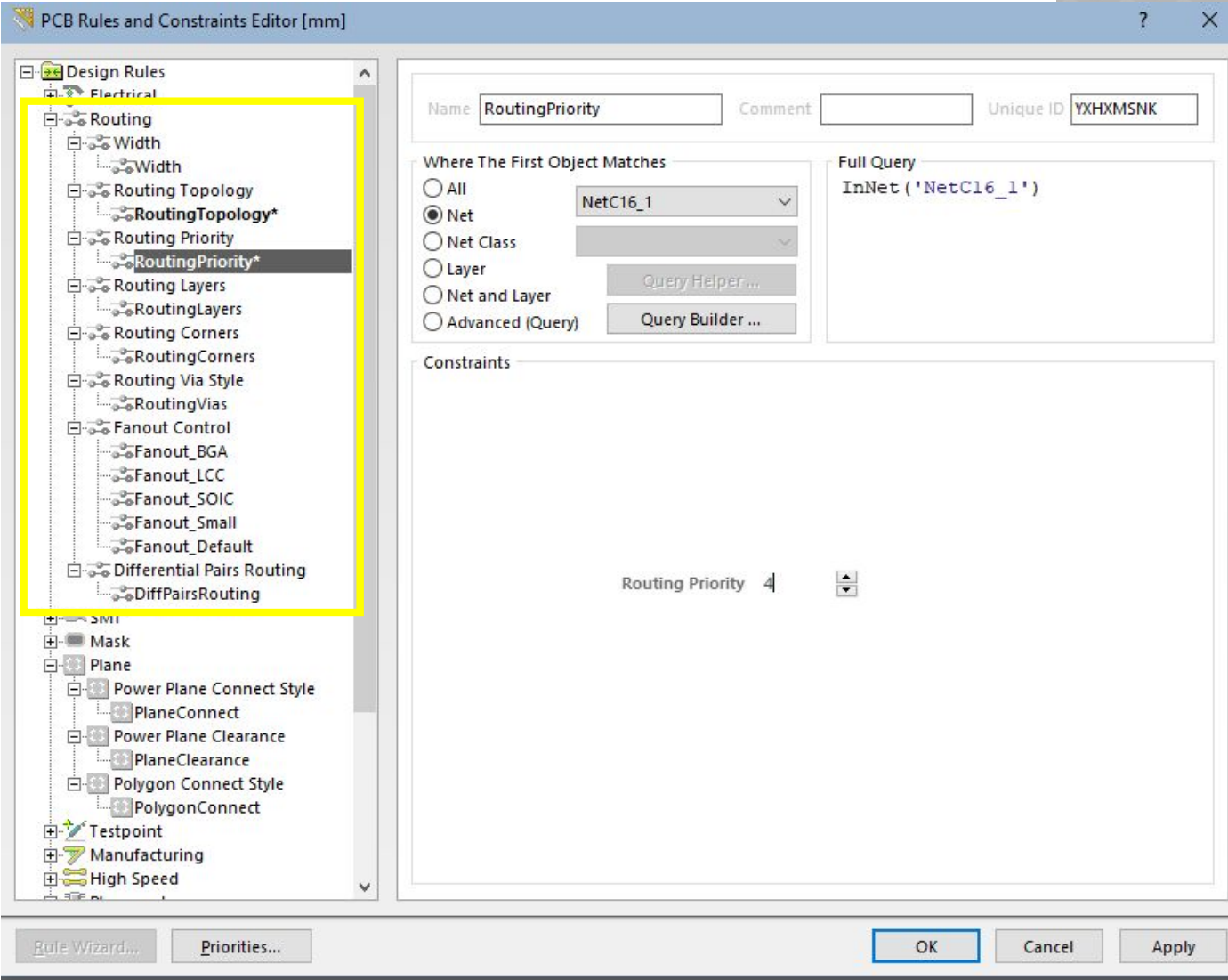
Гирлянда –  
источник по центру



Гирлянда –  
сбалансированная

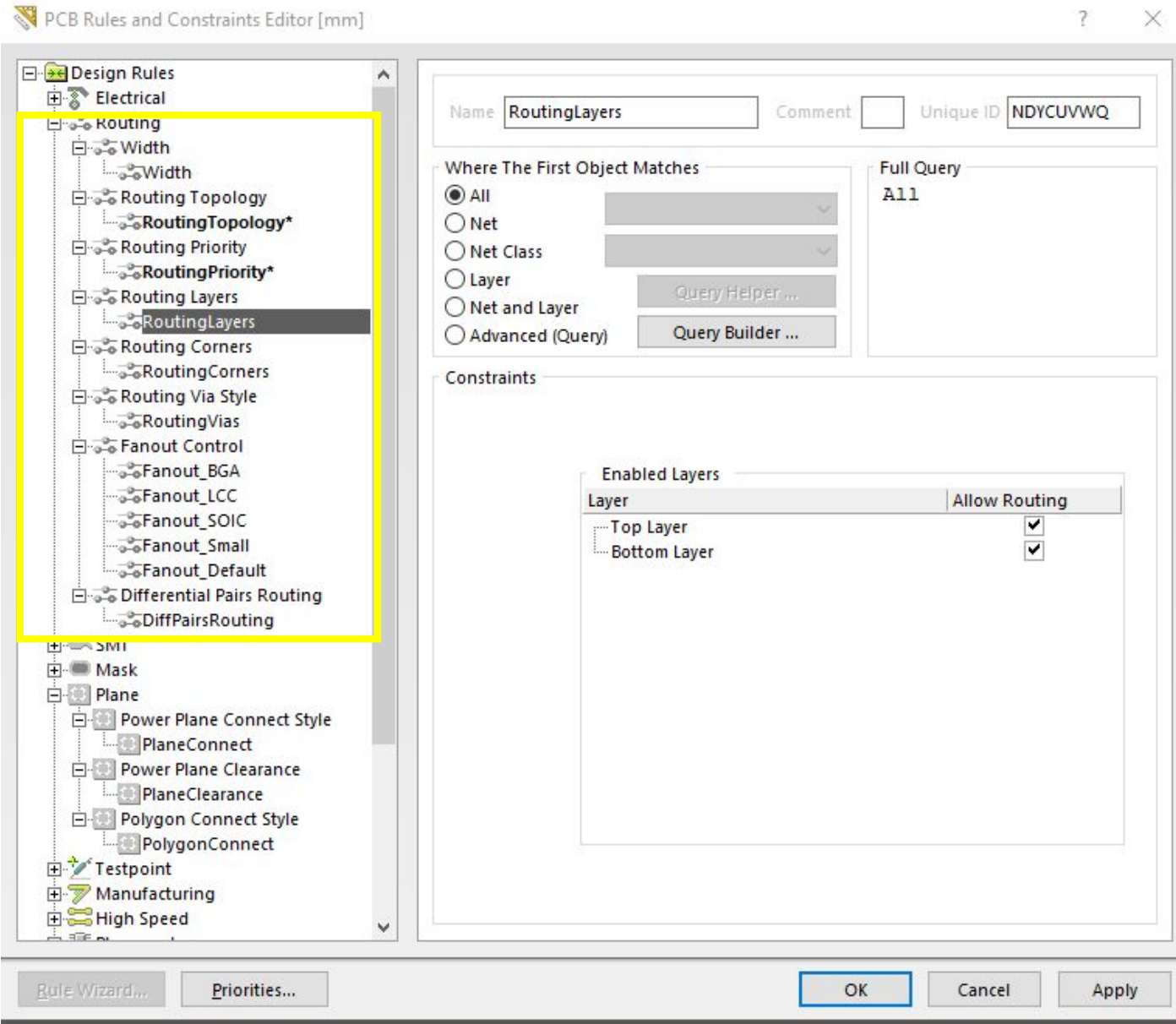
# Routing Priority

(приоритет трассировки) - присваивает цепи приоритет трассировки. Самый высокий приоритет равен 100, самый низкий - 0. Приоритет трассировки представляет собой относительное значение, используемое для задания порядка автоматической трассировки цепей.



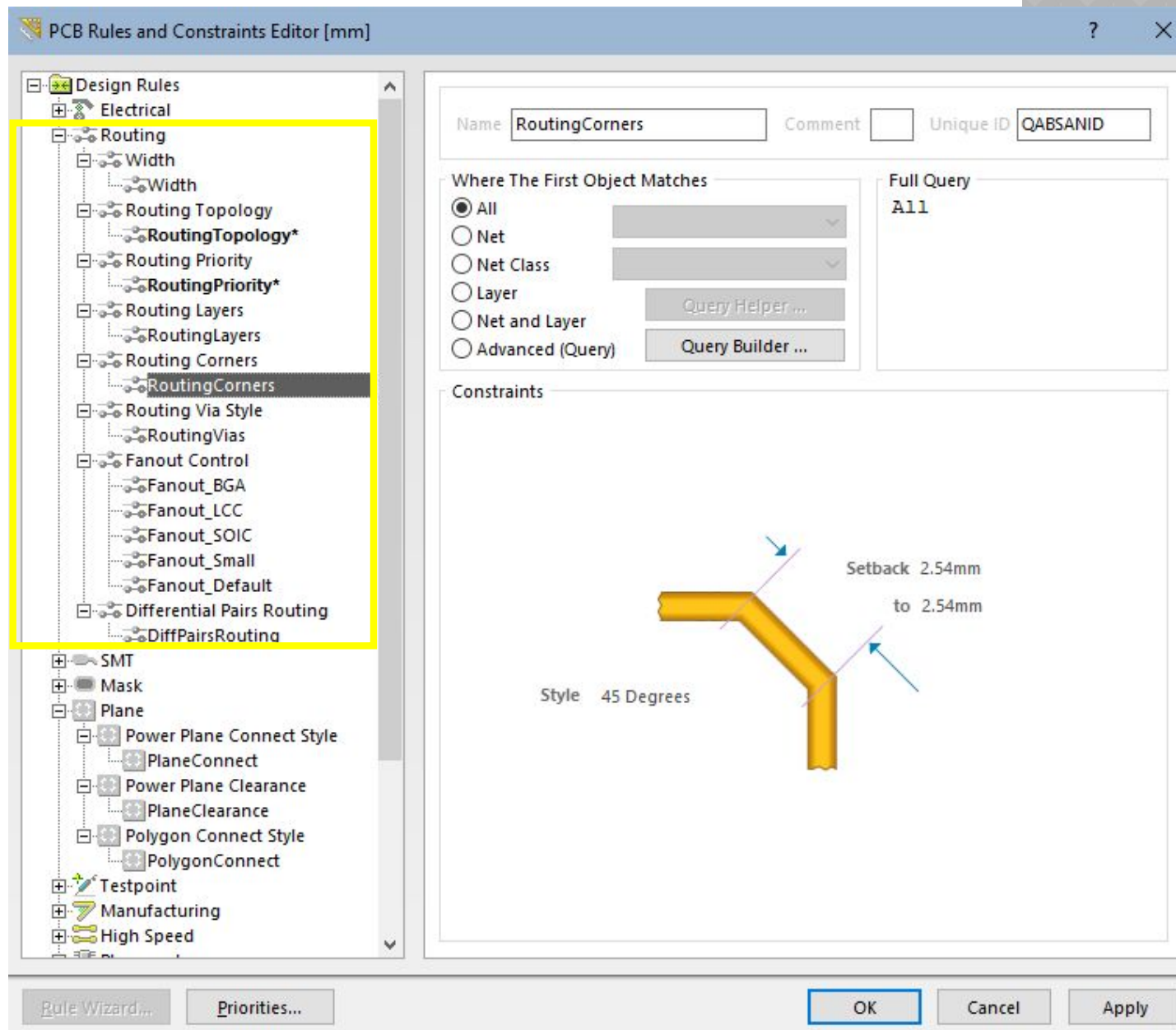
# Routing Layers

(слои трассировки) - определяет слои, которые будут использоваться при автоматической трассировке.



## Routing Corners

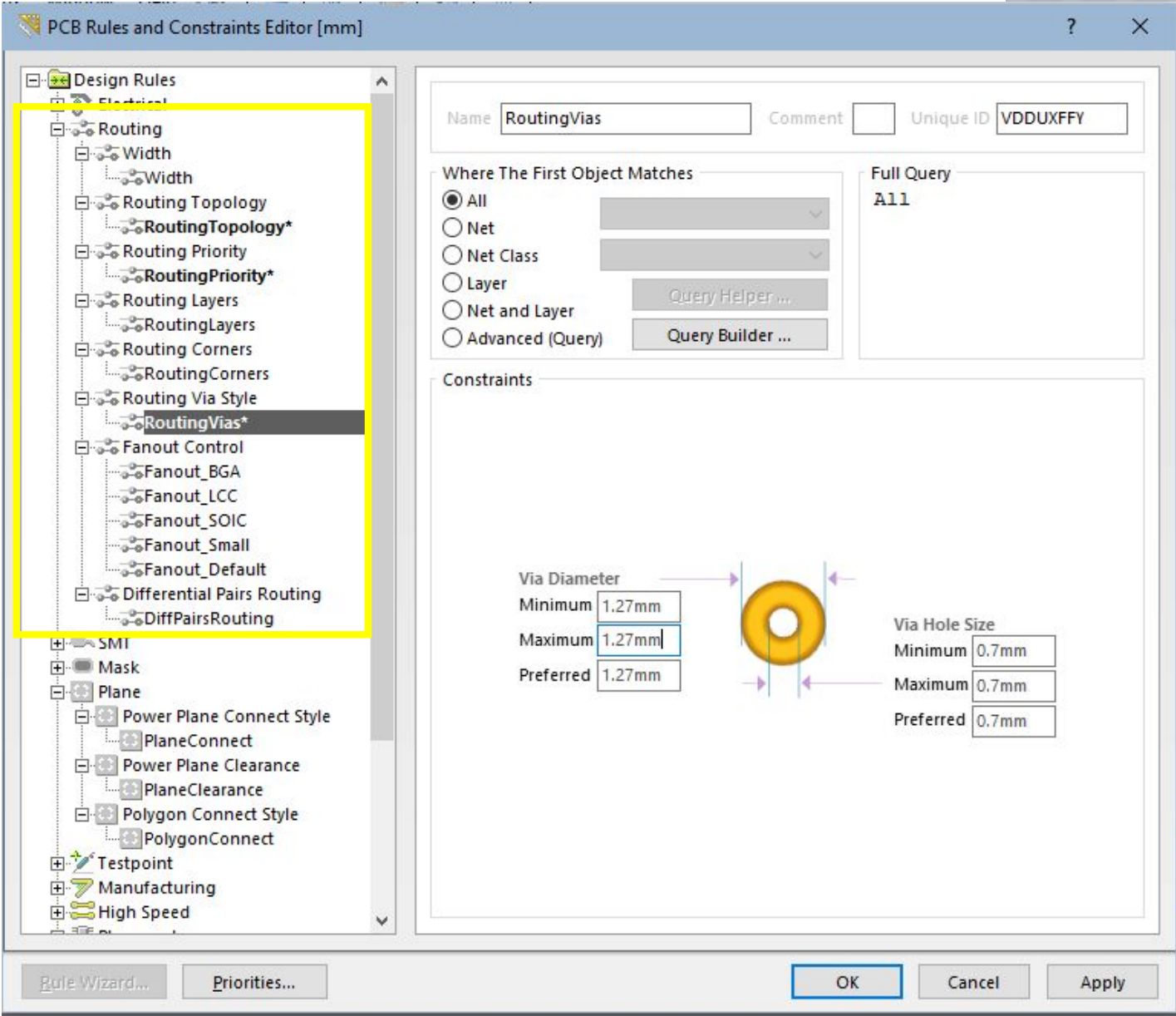
(углы изгиба проводников) - определяет стиль излома проводников, используемый при автоматической трассировке. Изломы могут быть скруглёнными или под углом  $45^\circ$ . Устанавливаемые значения определяют минимальный и максимальный размеры скоса или дуги.



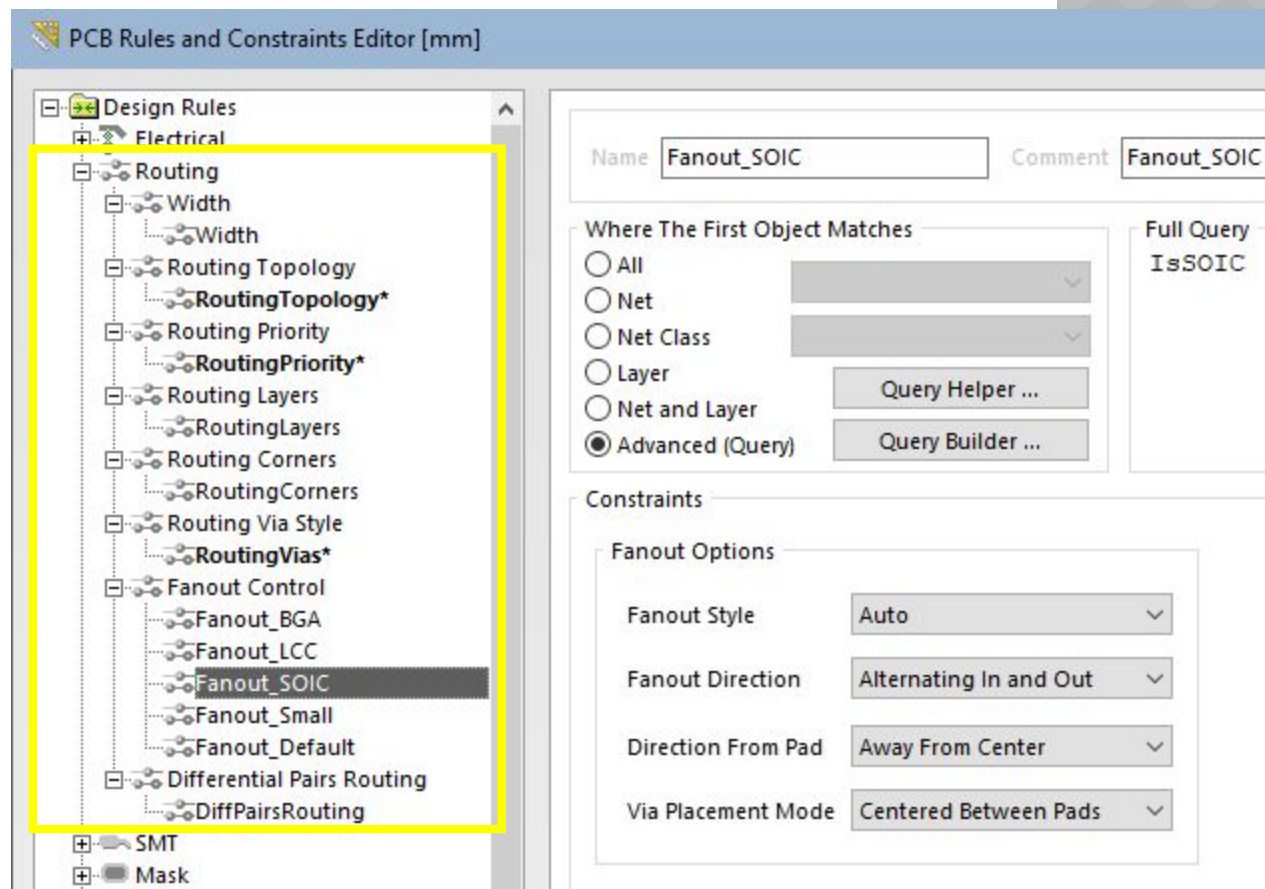


# Routing Via Style

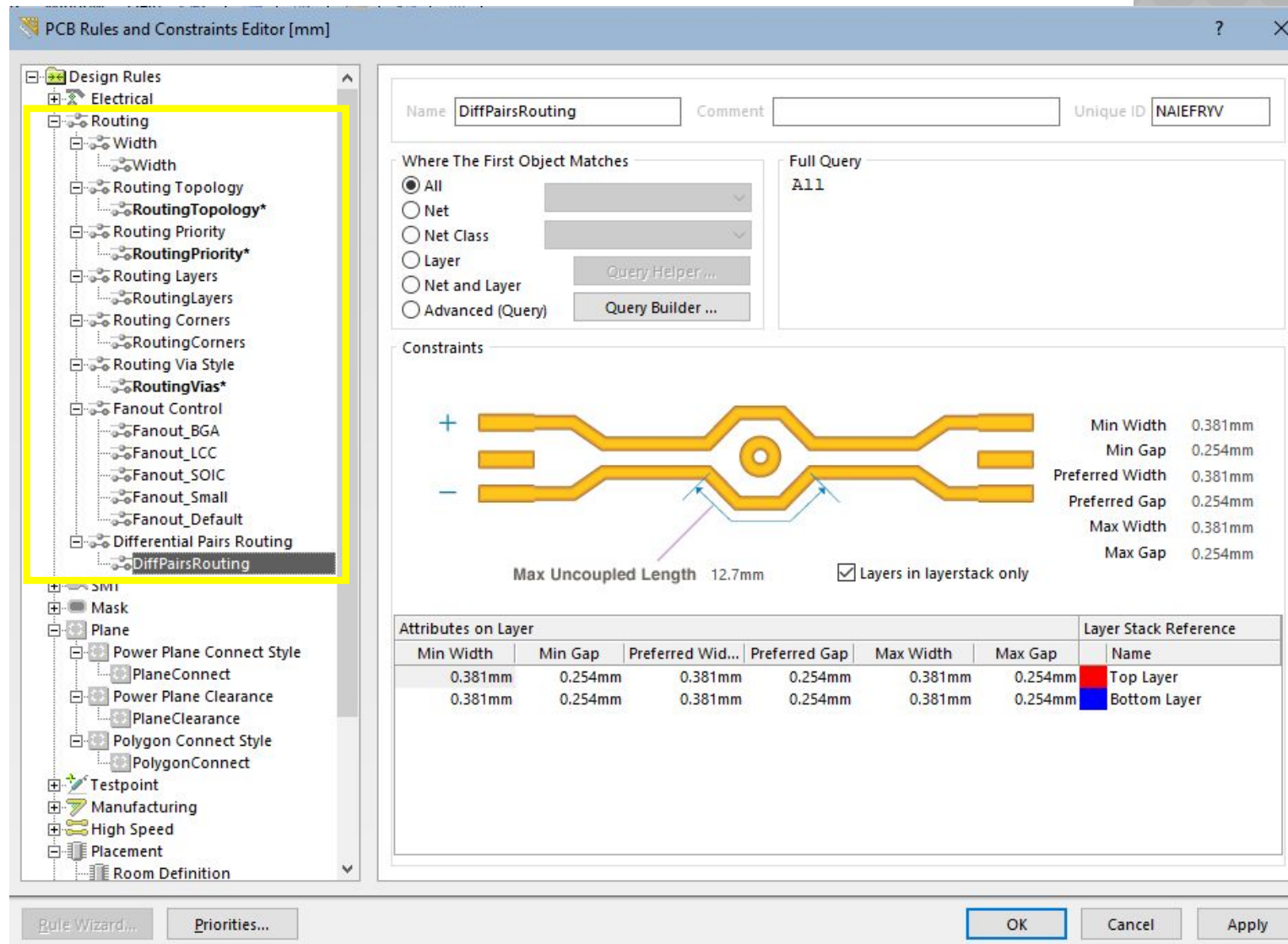
(стиль переходных отверстий) - определяет диаметр контактной площадки и диаметр круглого переходного отверстия.



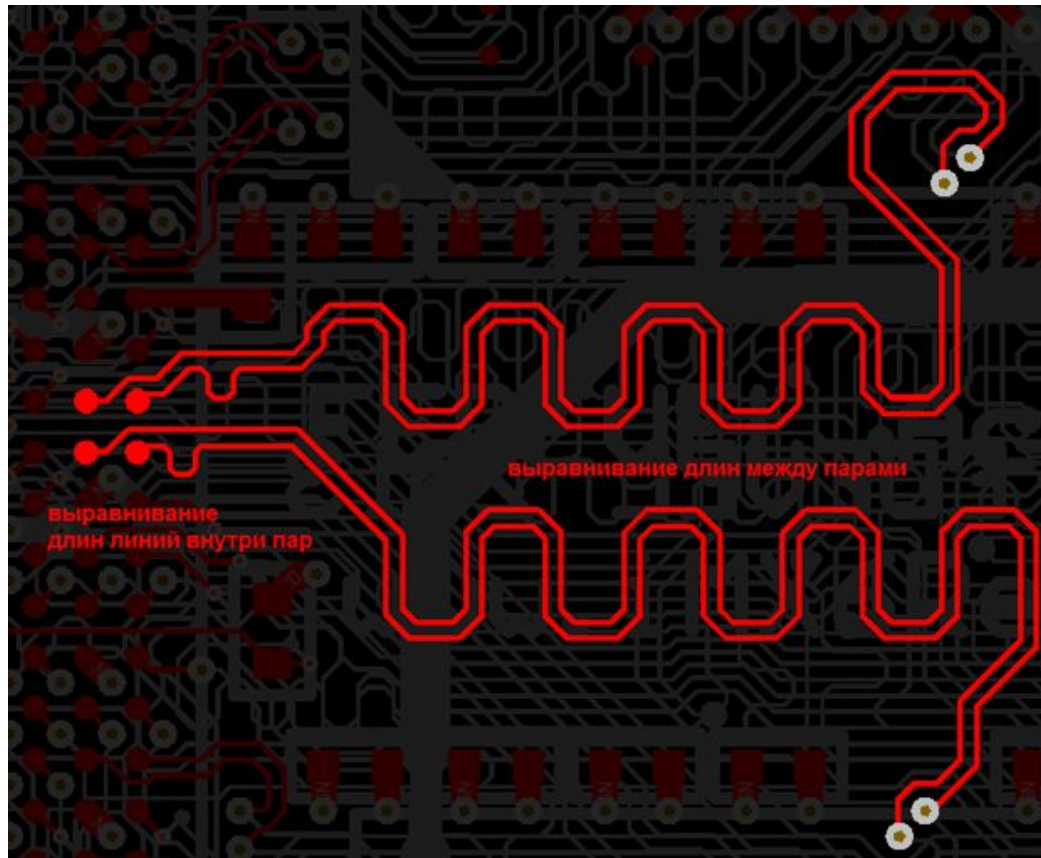
**Fanout Control** - стиль отвода проводника от контактной площадки для поверхностного монтажа. Можно задать варианты вывода, т.н. «фаноуты», для различных типов корпусов.



(трассировка дифференциальных пар) - настройки интерактивной трассировки дифференциальных пар. Данное правило задаёт зазор между двумя проводниками пары и размер препятствия, которое проводники пары могут огибать не параллельно.



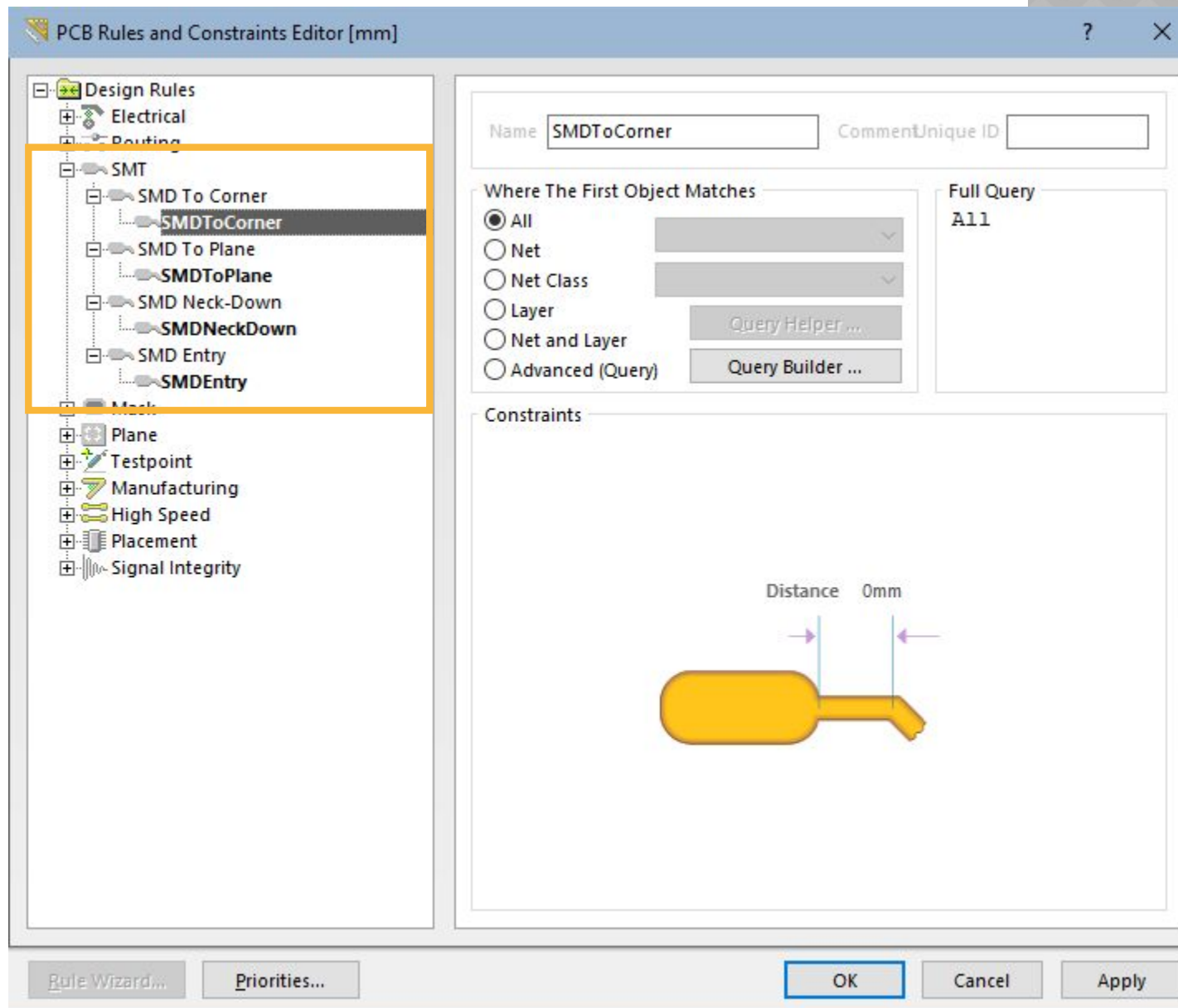
**Дифференциальный сигнал** — способ электрической передачи информации с помощью двух противофазных сигналов. В данном методе один электрический сигнал передаётся в виде *дифференциальной пары* сигналов, каждый по своему проводнику, но один представляет инвертированный сигнал другого, противоположный по знаку. Пара проводников может представлять собой витую пару, твинаксиальный кабель или разводиться по печатной плате. Приёмник дифференциального сигнала реагирует на разницу между двумя сигналами, а не на различие между одним проводом и потенциалом земли (такой принцип используется в другом методе передачи — называется асимметричная сигнализация).



- 3. SMT - правила для контактных площадок под поверхностный монтаж

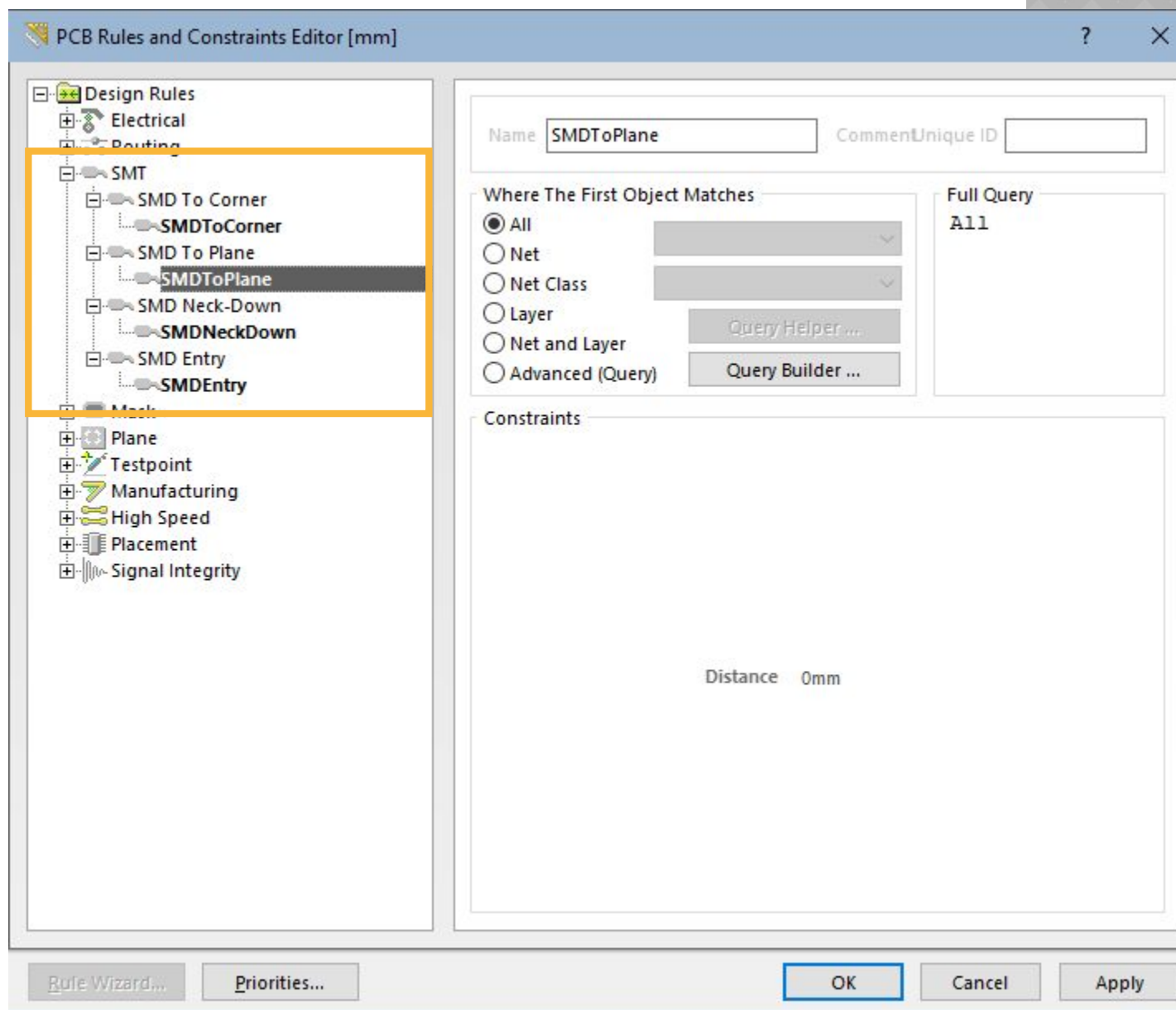


**SMD to Corner**  
(минимальное расстояние до изгиба) - определяет минимальное расстояние от центра контактной площадки компонента для поверхностного монтажа до ближайшего изгиба подключенного к ней проводника.



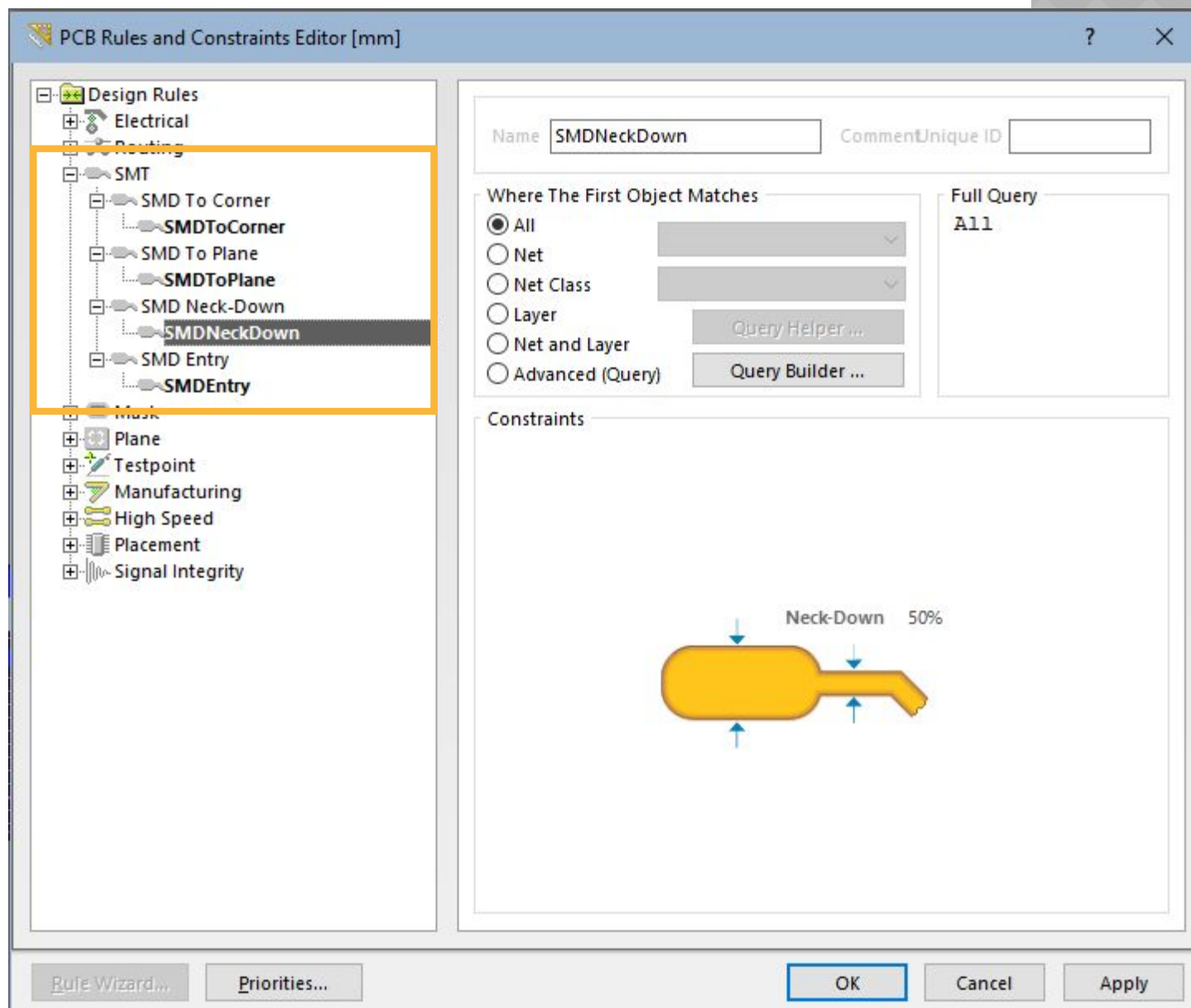
## ***SMD to Plane***

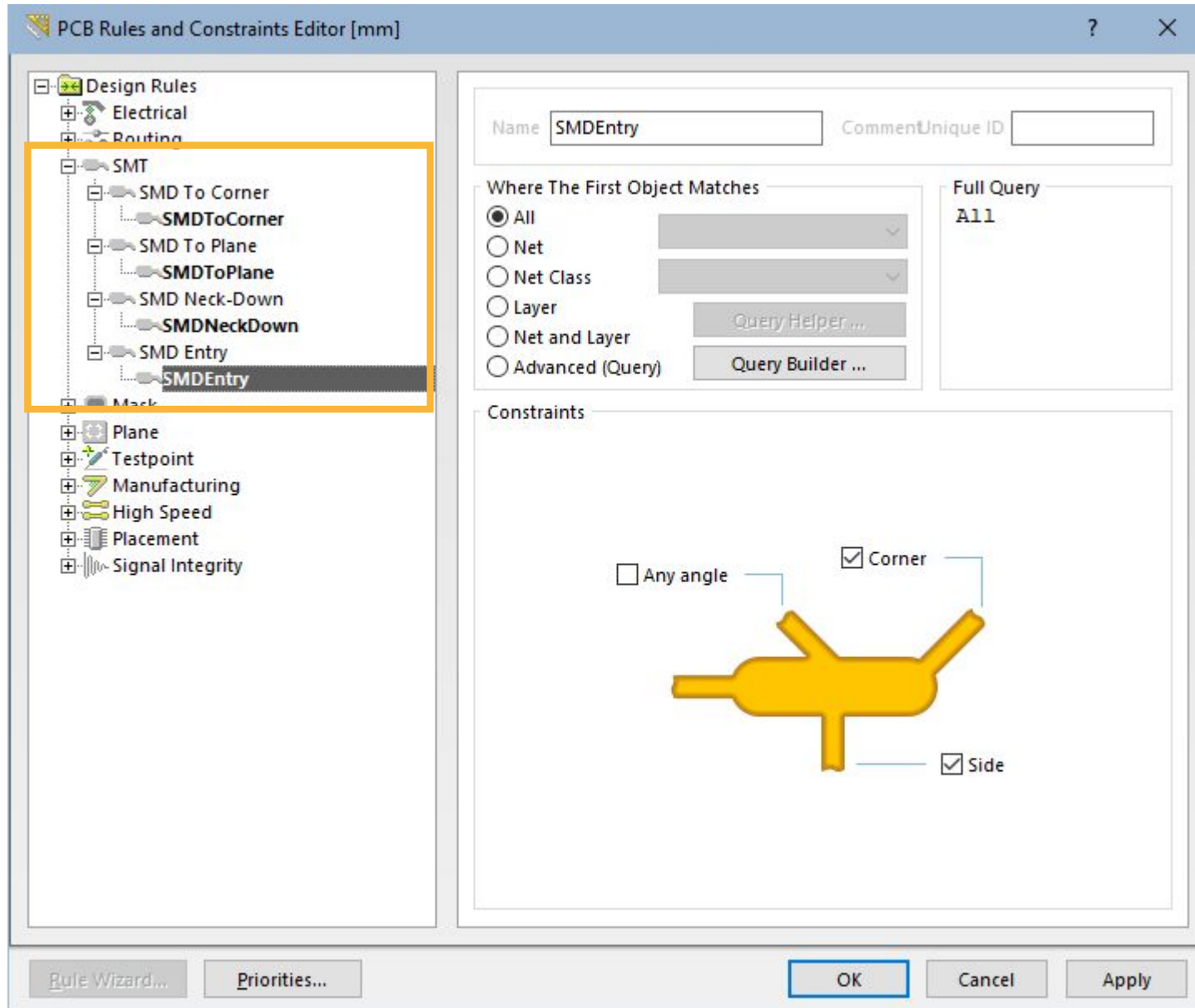
(минимальное расстояние до переходного отверстия) - определяет максимальное расстояние от центра контактной площадки компонента для поверхностного монтажа до ближайшего переходного отверстия на внутренний слой питания или заземления.



## SMD NeckDown

(сужение ширины проводника) - определяет максимальное отношение ширины проводника к ширине контактной площадки компонента для поверхностного монтажа, выраженное в процентах.



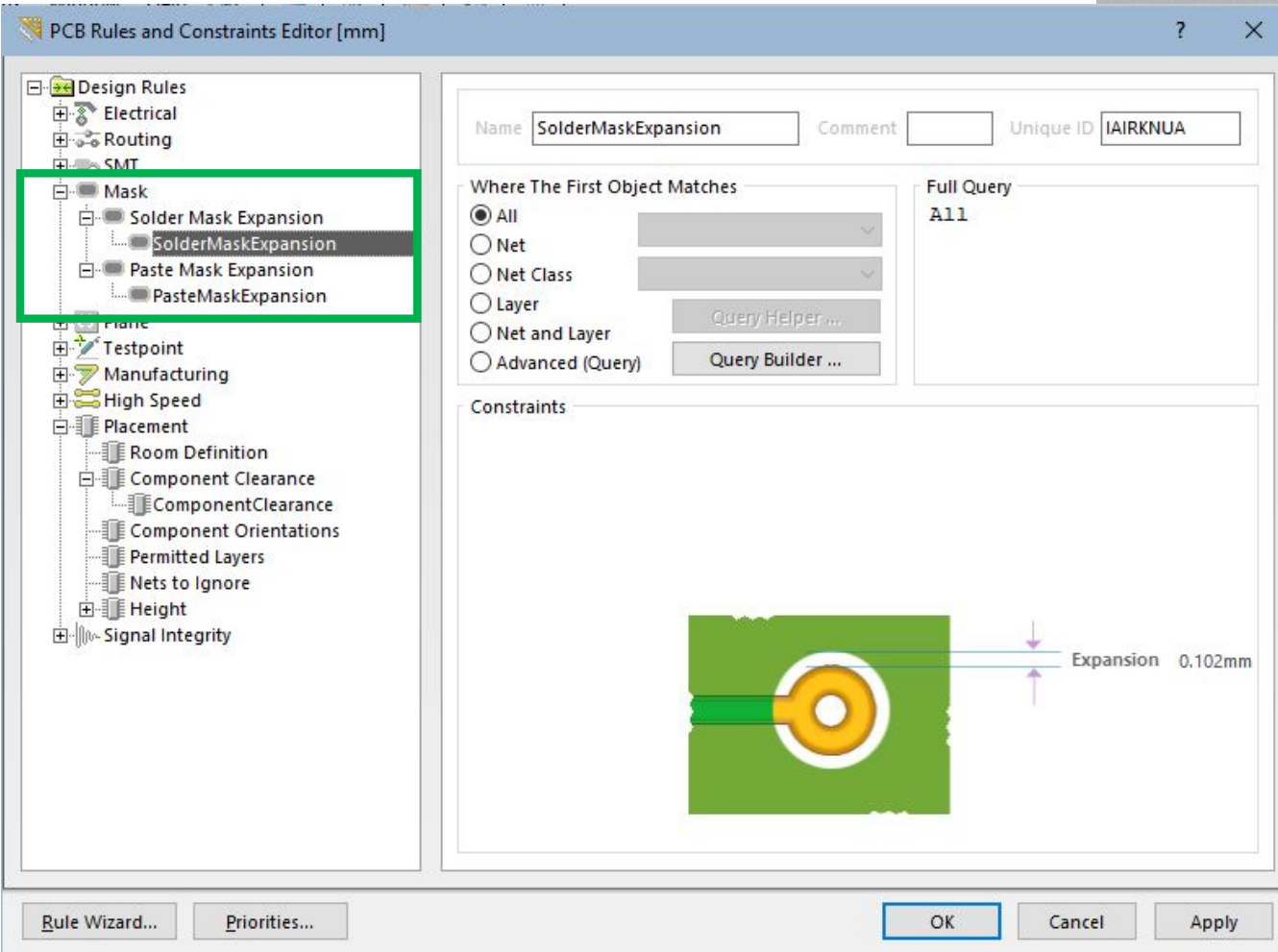


- 4. Mask - правила для нанесения паяльной пасты и защитной маски



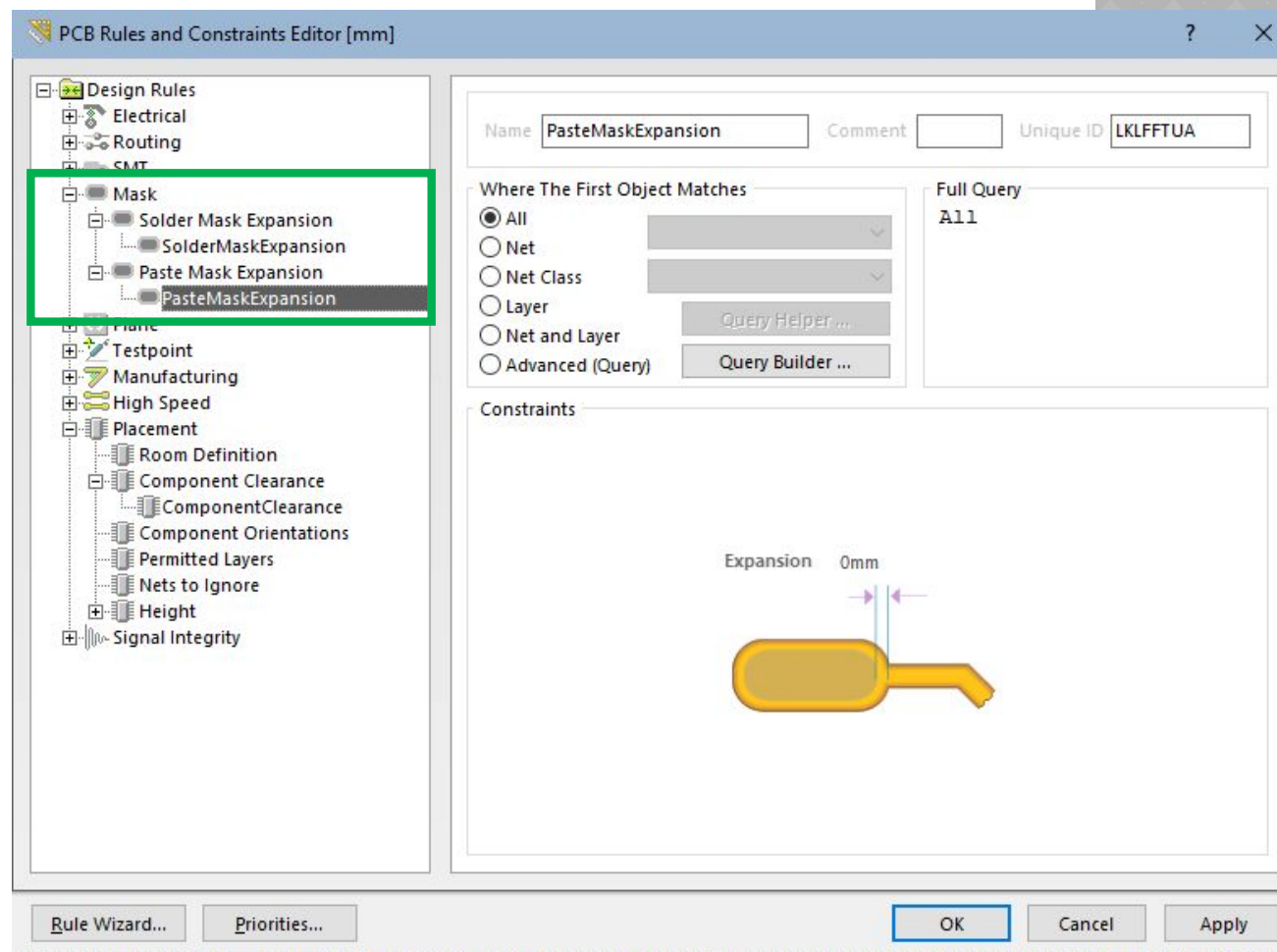
# SolderMask Expansion

(размер окна в трафарете для защитной маски) - задаётся величина, на которую расширяется или сжимается рисунок контактной площадки на слое Solder Mask, из которого формируются окна в трафарете для пайки волной. Приоритет имеет правило, которое определяет наибольшее значение.



## *PasteMask Expansion*

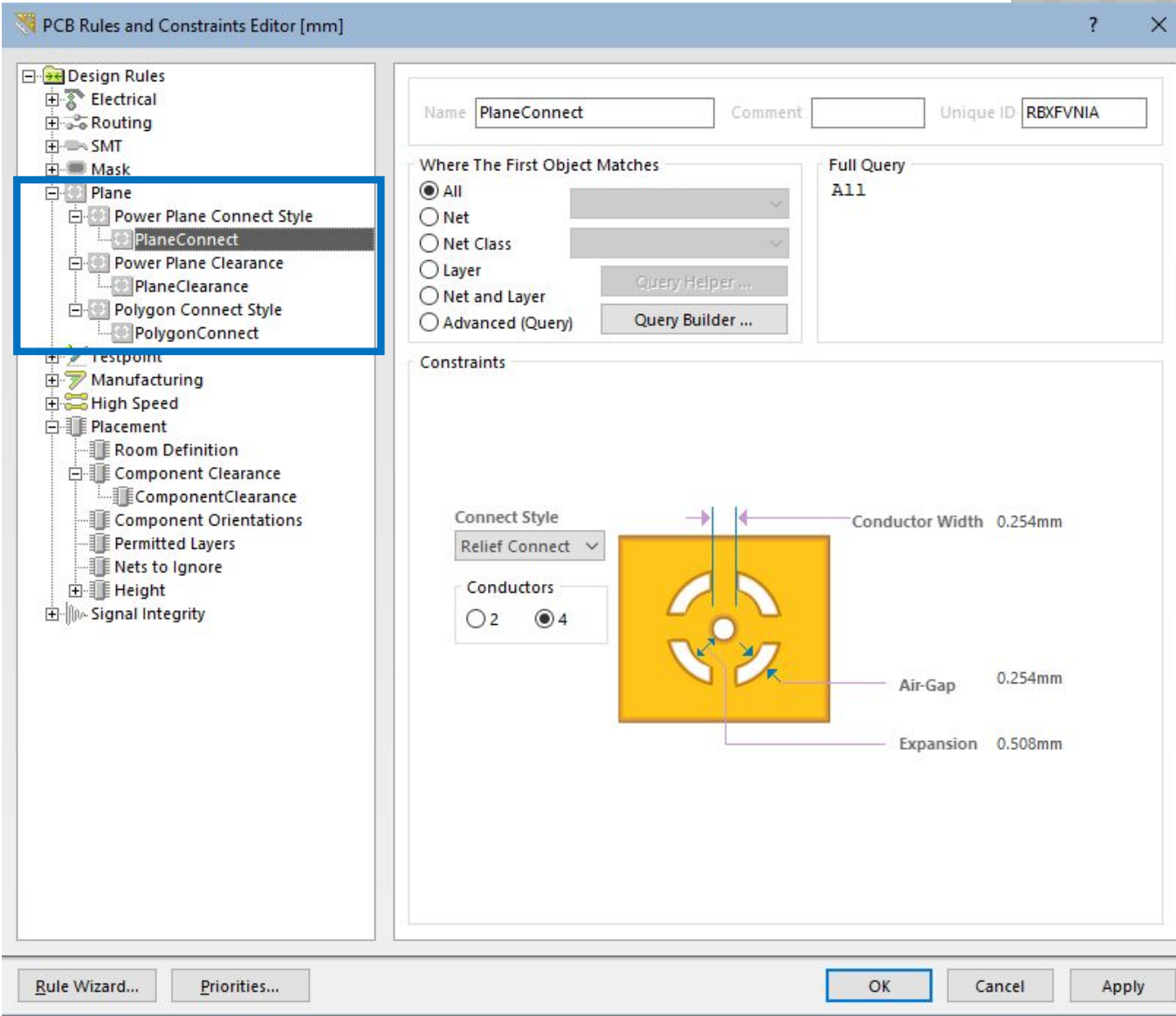
(размер окна в трафарете для нанесения паяльной пасты) - задаётся величина, на которую расширяется или сжимается рисунок контактной площадки на слое Paste Mask, из которого формируются окна в трафарете для нанесения паяльной пасты. Сжатие рисунка осуществляется при задании отрицательного значения. Приоритет имеет правило, которое определяет наименьшее расширение.



- 5. **Plane** – правила для подключения полигонов и экранных слоёв

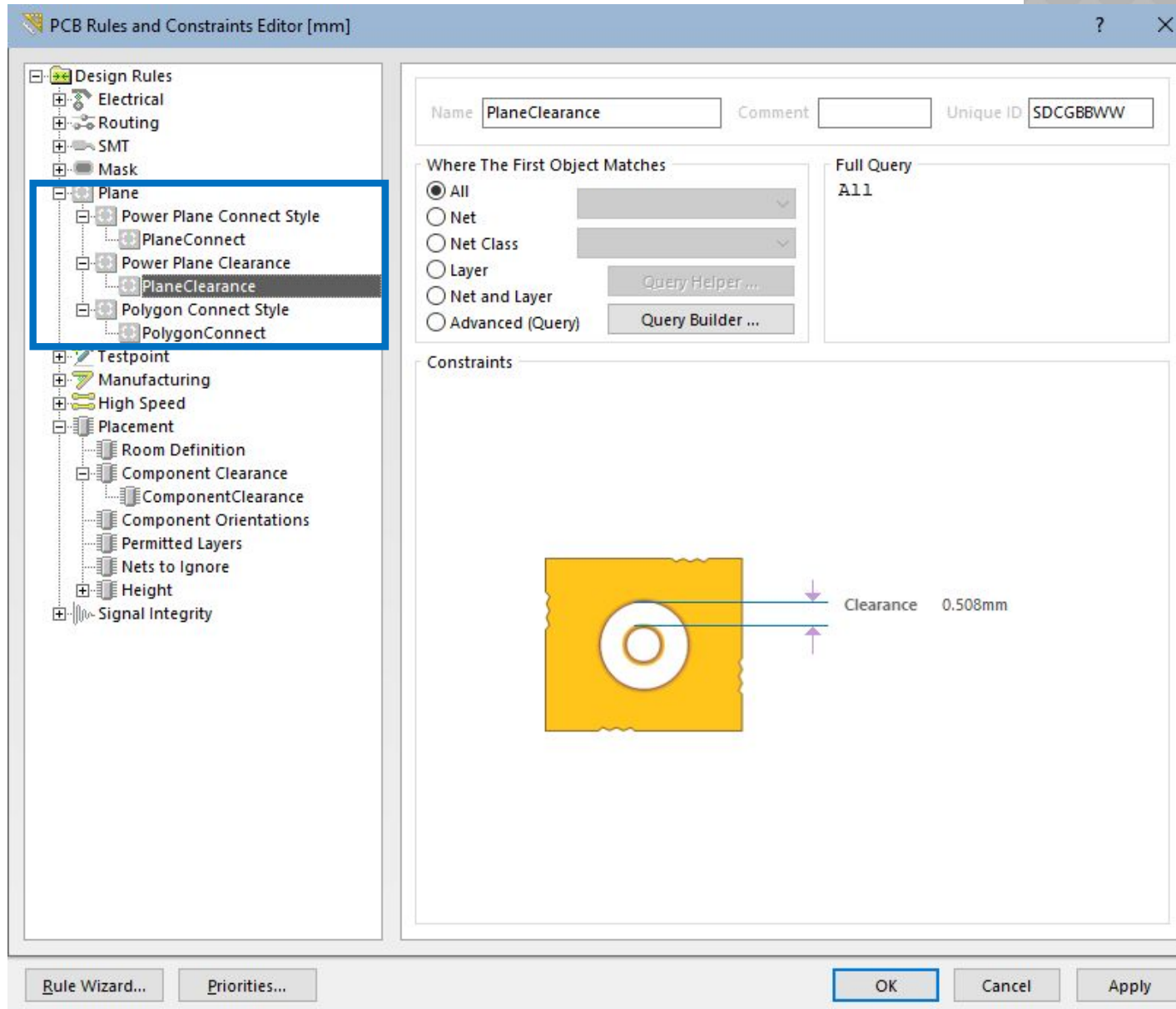
# Power Plane Connect Style

(стиль соединения выводов со слоем питания) - определяет стиль соединения выводов компонента со слоем питания; аналогичен стилю подключения полигона. Заметим, что слой питания отображается в негативе, следовательно, нарисованный на нём примитив будет вытравлен на слое меди.



## Power Plane Clearance

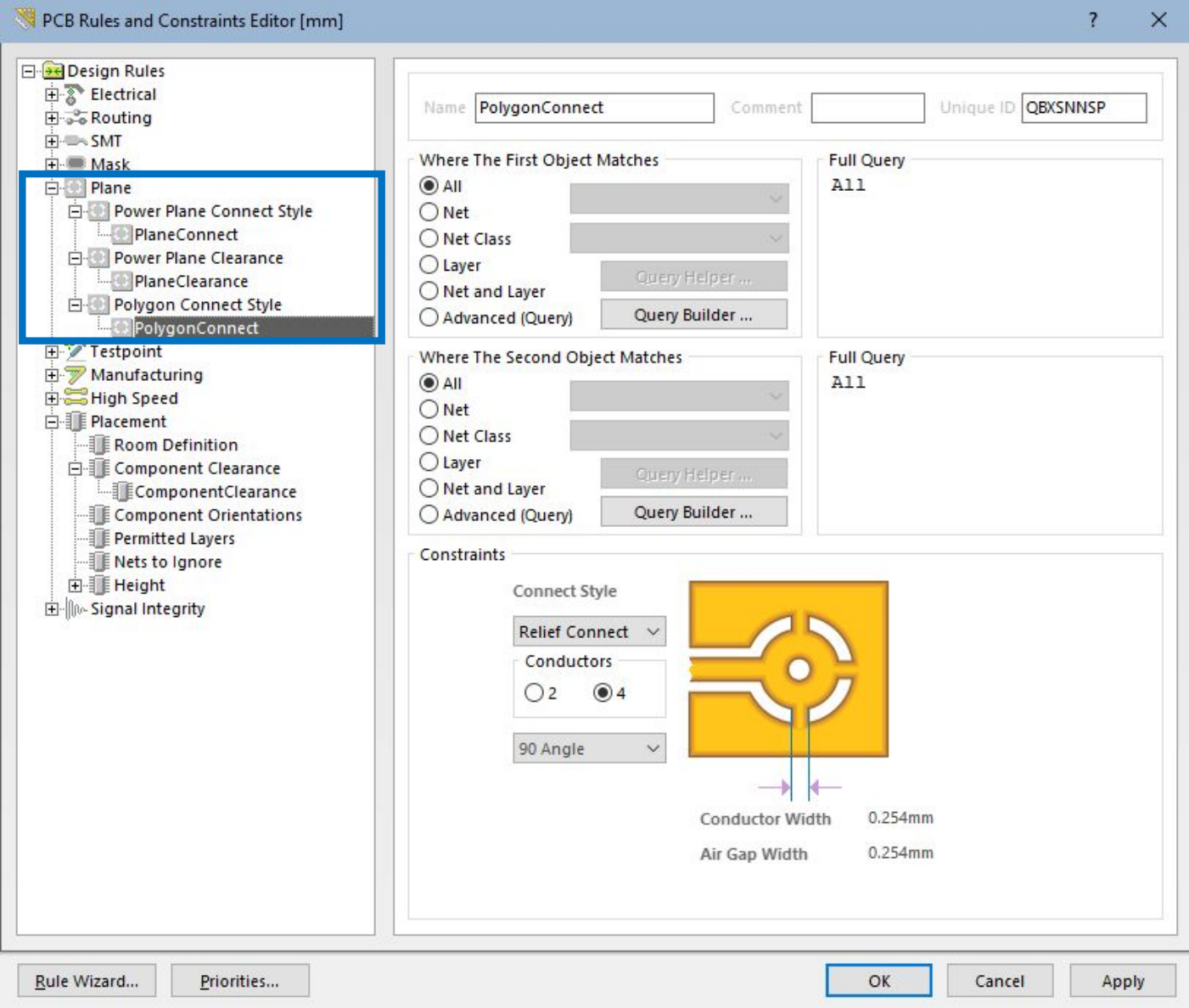
(зазоры на слоях питания) - определяет радиальный зазор, создаваемый вокруг переходных отверстий и контактных площадок, которые проходят сквозь слои питания, но не соединяются с ними. Приоритет имеет правило, которое определяет наибольший зазор.





# Polygon Connect Style

(стиль соединения выводов с полигоном) - определяет стиль соединения выводов компонента с металлизированным полигоном. Система допускает два типа соединения: непосредственное (сплошное) и соединение с тепловым барьером, а также отсутствие соединения. При выборе соединения с тепловым барьером необходимо задать количество и ширину проводников, а также угол их расположения.



- 6. Manufacturing - правила, учитываемые при производстве (т.е. задаются технологические ограничения производства)



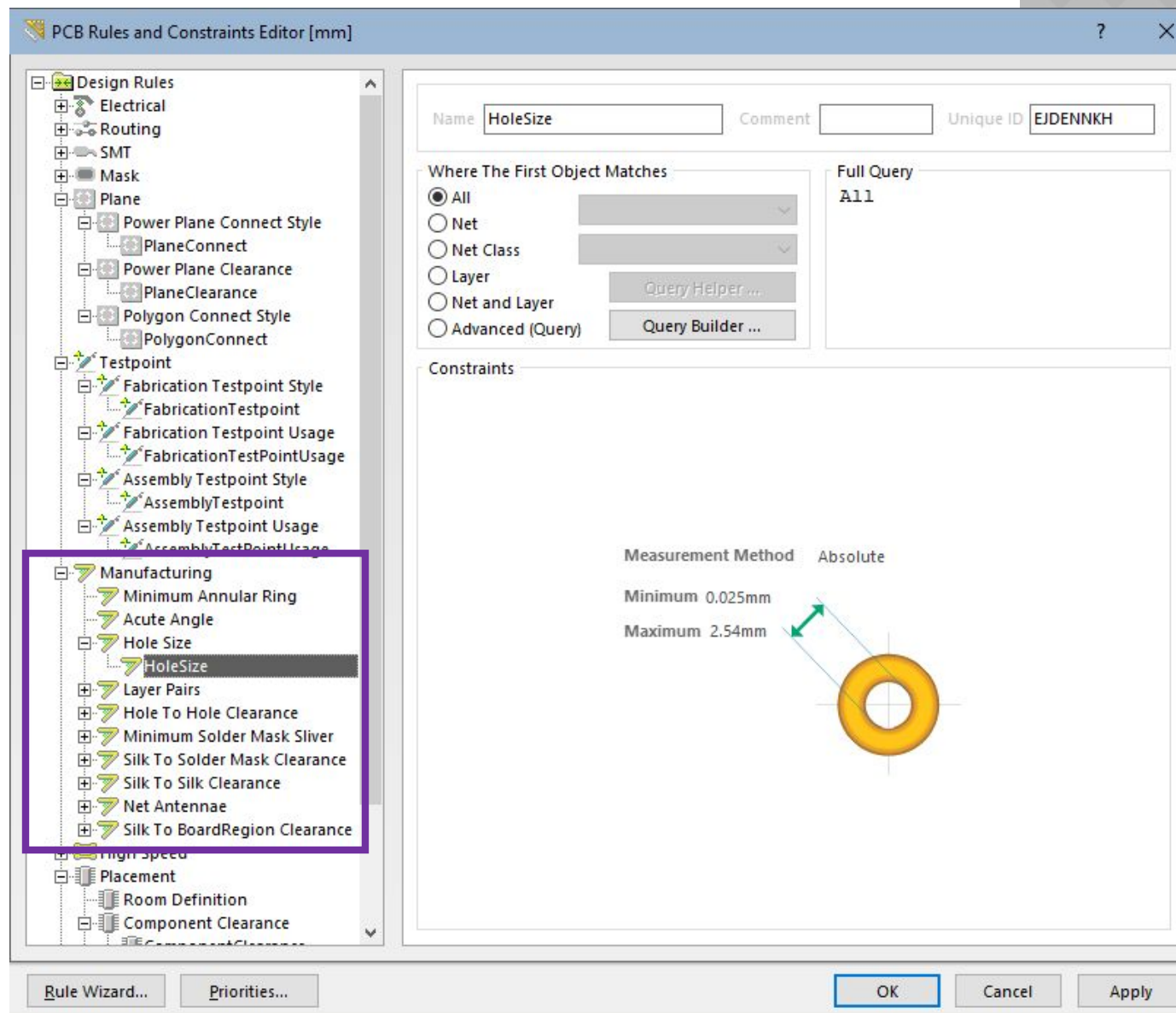
**Minimum Annular Ring** (минимальный размер контактной площадки) - определяет минимально допустимый размер кольца контактной площадки, который измеряется радиально от края отверстия контактной площадки до её кромки. Выполняется правило с наибольшим установленным размером кольца.

**Acute Angle** (ограничение на размер острых углов) - определяет минимально допустимый угол излома проводников. Наличие острых углов может стать проблемой при производстве платы, т.к. при травлении в точке излома может возникнуть разрыв. Выполняются правила с максимально заданными размерами углов.

**Layer Pairs** (пары слоёв) - проверяет соответствие используемых пар слоёв парам слоёв для сверления, которые определяются из присутствующих на плате контактных площадок и переходных отверстий. Для каждой пары слоёв один выбирается Start Layer, другой - End Layer.

## Hole Size

(диаметр отверстия) - определяет минимально и максимально допустимые значения диаметра присутствующих на плате отверстий. Может быть задано как абсолютное значение диаметра, так и относительное (от размера контактной площадки или кольца переходного отверстия). Приоритет имеет правило с наименьшим минимальным значением и наименьшей разностью максимального и минимального значений.



- Design Rules
  - Electrical
  - Routing
  - SMT
  - Mask
  - Plane
    - Power Plane Connect Style
    - PlaneConnect
    - Power Plane Clearance
    - PlaneClearance
    - Polygon Connect Style
    - PolygonConnect
  - Testpoint
    - Fabrication Testpoint Style
    - FabricationTestpoint
    - Fabrication Testpoint Usage
    - FabricationTestPointUsage
    - Assembly Testpoint Style
    - AssemblyTestpoint
    - Assembly Testpoint Usage
    - AssemblyTestPointUsage
  - Manufacturing
    - Minimum Annular Ring
    - Acute Angle
    - Hole Size
    - Layer Pairs
    - Hole To Hole Clearance
      - HoleToHoleClearance
    - Minimum Solder Mask Sliver
    - MinimumSolderMaskSliver
    - Silk To Solder Mask Clearance
    - SilkToSolderMaskClearance
    - Silk To Silk Clearance
    - SilkToSilkClearance
    - Net Antennae
    - NetAntennae
    - Silk To BoardRegion Clearance
    - SilkToBoardRegionClearance
  - High Speed
  - Placement
    - Room Definition
    - Component Clearance
    - ComponentClearance
    - Component Orientations
    - Permitted Layers
    - Nets to Ignore

Name HoleToHoleClearance

Comment

Unique ID EPCBMWJK

## Where The First Object Matches

- ☒ All  
☐ Net  
☐ Net Class  
☐ Layer  
☐ Net and Layer  
☐ Advanced (Query)

Query Helper ...

Query Builder ...

## Full Query

All

## Where The Second Object Matches

- ☒ All  
☐ Net  
☐ Net Class  
☐ Layer  
☐ Net and Layer  
☐ Advanced (Query)

Query Helper ...

Query Builder ...

## Full Query

All

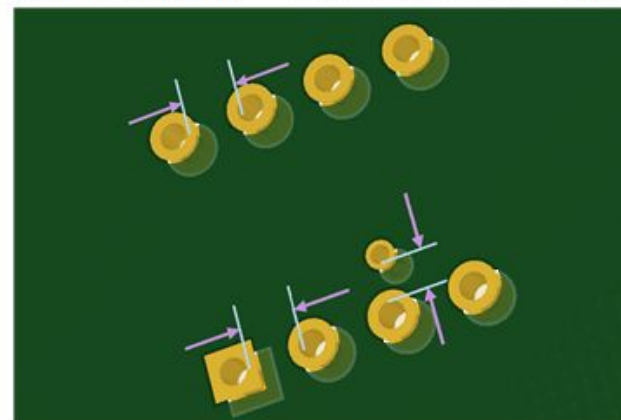
## Constraints

Allow Stacked Micro Vias



Hole to Hole Clearance

0.254mm



Rule Wizard...

Priorities...

OK

Cancel

Apply



- Design Rules
  - Electrical
  - Routing
  - SMT
  - Mask
  - Plane
    - Power Plane Connect Style
    - PlaneConnect
    - Power Plane Clearance
    - PlaneClearance
    - Polygon Connect Style
    - PolygonConnect
  - Testpoint
    - Fabrication Testpoint Style
    - FabricationTestpoint
    - Fabrication Testpoint Usage
    - FabricationTestPointUsage
    - Assembly Testpoint Style
    - AssemblyTestpoint
    - Assembly Testpoint Usage
    - AssemblyTestPointUsage
  - Manufacturing
    - Minimum Annular Ring
    - Acute Angle
    - Hole Size
    - Layer Pairs
    - Hole To Hole Clearance
    - HoleToHoleClearance
    - Minimum Solder Mask Sliver
    - MinimumSolderMaskSliver
    - Silk To Solder Mask Clearance
    - SilkToSolderMaskClearance
    - Silk To Silk Clearance
    - SilkToSilkClearance
    - Net Antennae
    - NetAntennae
    - Silk To BoardRegion Clearance
    - SilkToBoardRegionClearance
  - High Speed
  - Placement
    - Room Definition
    - Component Clearance
    - ComponentClearance
    - Component Orientations
    - Permitted Layers
    - Nets to Ignore

Name MinimumSolderMaskSliver

Comment

Unique ID PTLYKFCY

## Where The First Object Matches

- ☒ All
- ☐ Net
- ☐ Net Class
- ☐ Layer
- ☐ Net and Layer
- ☐ Advanced (Query)

Query Helper ...

Query Builder ...

## Full Query

All

## Where The Second Object Matches

- ☒ All
- ☐ Net
- ☐ Net Class
- ☐ Layer
- ☐ Net and Layer
- ☐ Advanced (Query)

Query Helper ...

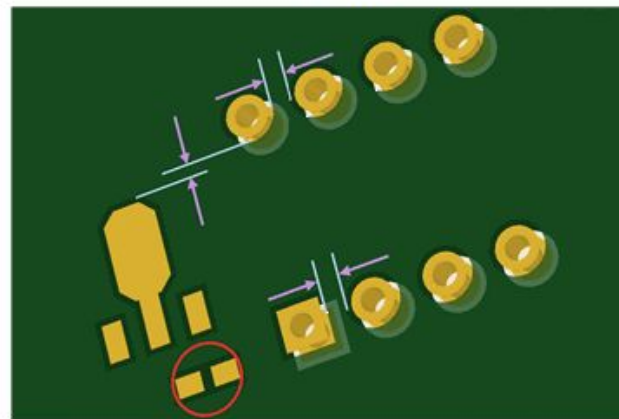
Query Builder ...

## Full Query

All

## Constraints

Minimum Solder Mask Sliver 0.254mm



Rule Wizard...

Priorities...

OK

Cancel

Apply

- Design Rules
  - Electrical
  - Routing
  - SMT
  - Mask
  - Plane
    - Power Plane Connect Style
      - PlaneConnect
    - Power Plane Clearance
      - PlaneClearance
    - Polygon Connect Style
      - PolygonConnect
  - Testpoint
    - Fabrication Testpoint Style
    - Fabrication Testpoint Usage
    - FabricationTestPointUsage
    - Assembly Testpoint Style
    - AssemblyTestpoint
    - Assembly Testpoint Usage
    - AssemblyTestPointUsage
  - Manufacturing
    - Minimum Annular Ring
    - Acute Angle
    - Hole Size
    - Layer Pairs
    - Hole To Hole Clearance
    - HoleToHoleClearance
    - Minimum Solder Mask Sliver
    - MinimumSolderMaskSliver
    - Silk To Solder Mask Clearance
    - SilkToSolderMaskClearance
    - Silk To Silk Clearance
    - SilkToSilkClearance
    - Net Antennae
    - NetAntennae
    - Silk To BoardRegion Clearance
    - SilkToBoardRegionClearance
  - High-Speed
  - Placement
    - Room Definition
    - Component Clearance
    - ComponentClearance
    - Component Orientations
    - Permitted Layers
    - Nets to Ignore

Name SilkToSolderMaskClearance

Comment

Unique ID QVYIWBOC

## Where The First Object Matches

- ☐ All
- ☐ Net
- ☐ Net Class
- ☐ Layer
- ☐ Net and Layer
- ☒ Advanced (Query)

Query Helper ...

Query Builder ...

## Full Query

IsPad

## Where The Second Object Matches

- ☒ All
- ☐ Net
- ☐ Net Class
- ☐ Layer
- ☐ Net and Layer
- ☐ Advanced (Query)

Query Helper ...

Query Builder ...

## Full Query

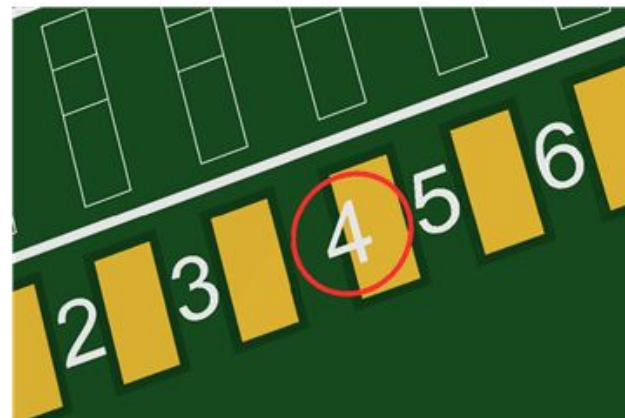
All

## Constraints

## Clearance Checking Mode

- ☒ Check Clearance To Exposed Copper
- ☐ Check Clearance To Solder Mask Openings

Silkscreen To Object Minimum Clearance 0.254mm



Rule Wizard...

Priorities...

OK

Cancel

Apply

- Design Rules
  - Electrical
  - Routing
  - SMT
  - Mask
  - Plane
    - Power Plane Connect Style
    - PlaneConnect
    - Power Plane Clearance
    - PlaneClearance
    - Polygon Connect Style
    - PolygonConnect
  - Testpoint
    - Fabrication Testpoint Style
    - FabricationTestpoint
    - Fabrication Testpoint Usage
    - FabricationTestPointUsage
    - Assembly Testpoint Style
    - AssemblyTestpoint
    - Assembly Testpoint Usage
    - AssemblyTestPointUsage
  - Manufacturing
    - Minimum Annular Ring
    - Acute Angle
    - Hole Size
    - Layer Pairs
    - Hole To Hole Clearance
    - HoleToHoleClearance
    - Minimum Solder Mask Sliver
    - MinimumSolderMaskSliver
    - Silk To Solder Mask Clearance
    - SilkToSolderMaskClearance
    - Silk To Silk Clearance
    - SilkToSilkClearance
    - Net Antennae
    - NetAntennae
    - Silk To BoardRegion Clearance
    - SilkToBoardRegionClearance
  - High Speed
  - Placement
    - Room Definition
    - Component Clearance
    - ComponentClearance
    - Component Orientations
    - Permitted Layers
    - Nets to Ignore

Name SilkToSilkClearance

Comment

Unique ID RGQEQPQJ

## Where The First Object Matches

- ☒ All  
☐ Net  
☐ Net Class  
☐ Layer  
☐ Net and Layer  
☐ Advanced (Query)

Query Helper ...

Query Builder ...

## Full Query

All

## Where The Second Object Matches

- ☒ All  
☐ Net  
☐ Net Class  
☐ Layer  
☐ Net and Layer  
☐ Advanced (Query)

Query Helper ...

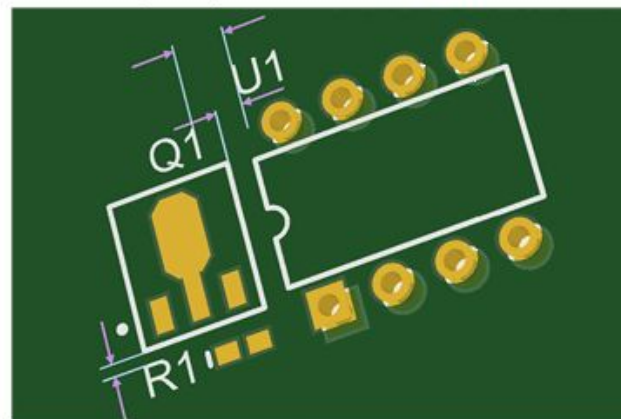
Query Builder ...

## Full Query

All

## Constraints

Silk Text to Any Silk Object Clearance 0.254mm



Rule Wizard...

Priorities...

OK

Cancel

Apply



- Design Rules
  - Electrical
  - Routing
  - SMT
  - Mask
  - Plane
    - Power Plane Connect Style
    - PlaneConnect
    - Power Plane Clearance
    - PlaneClearance
    - Polygon Connect Style
    - PolygonConnect
  - Testpoint
    - Fabrication Testpoint Style
    - FabricationTestpoint
    - Fabrication Testpoint Usage
    - FabricationTestPointUsage
    - Assembly Testpoint Style
    - AssemblyTestpoint
    - Assembly Testpoint Usage
    - AssemblyTestPointUsage
  - Manufacturing
    - Minimum Annular Ring
    - Acute Angle
    - Hole Size
    - Layer Pairs
    - Hole To Hole Clearance
    - HoleToHoleClearance
    - Minimum Solder Mask Sliver
    - MinimumSolderMaskSliver
    - Silk To Solder Mask Clearance
    - SilkToSolderMaskClearance
    - Silk To Silk Clearance
    - SilkToSilkClearance
    - Net Antennae
      - NetAntennae
    - Silk To BoardRegion Clearance
    - SilkToBoardRegionClearance
  - High Speed
  - Placement
    - Room Definition
    - Component Clearance
    - ComponentClearance
    - Component Orientations
    - Permitted Layers
    - Nets to Ignore

Name NetAntennae

Comment

Unique ID HIFMXFXM

## Where The First Object Matches

- ☒ All
- ☐ Net
- ☐ Net Class
- ☐ Layer
- ☐ Net and Layer
- ☐ Advanced (Query)

Query Helper ...

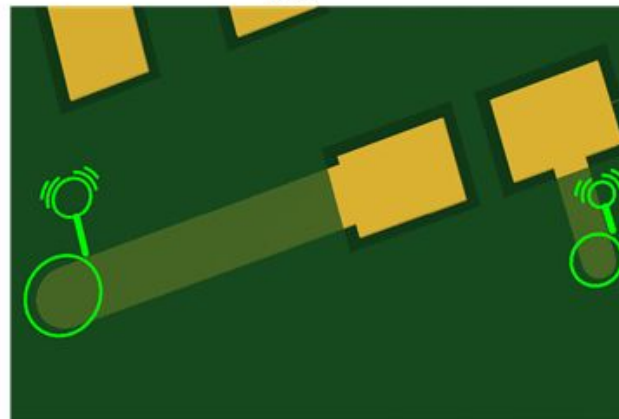
Query Builder ...

## Full Query

All

## Constraints

Net Antennae Tolerance 0mm



Rule Wizard...

Priorities...

OK

Cancel

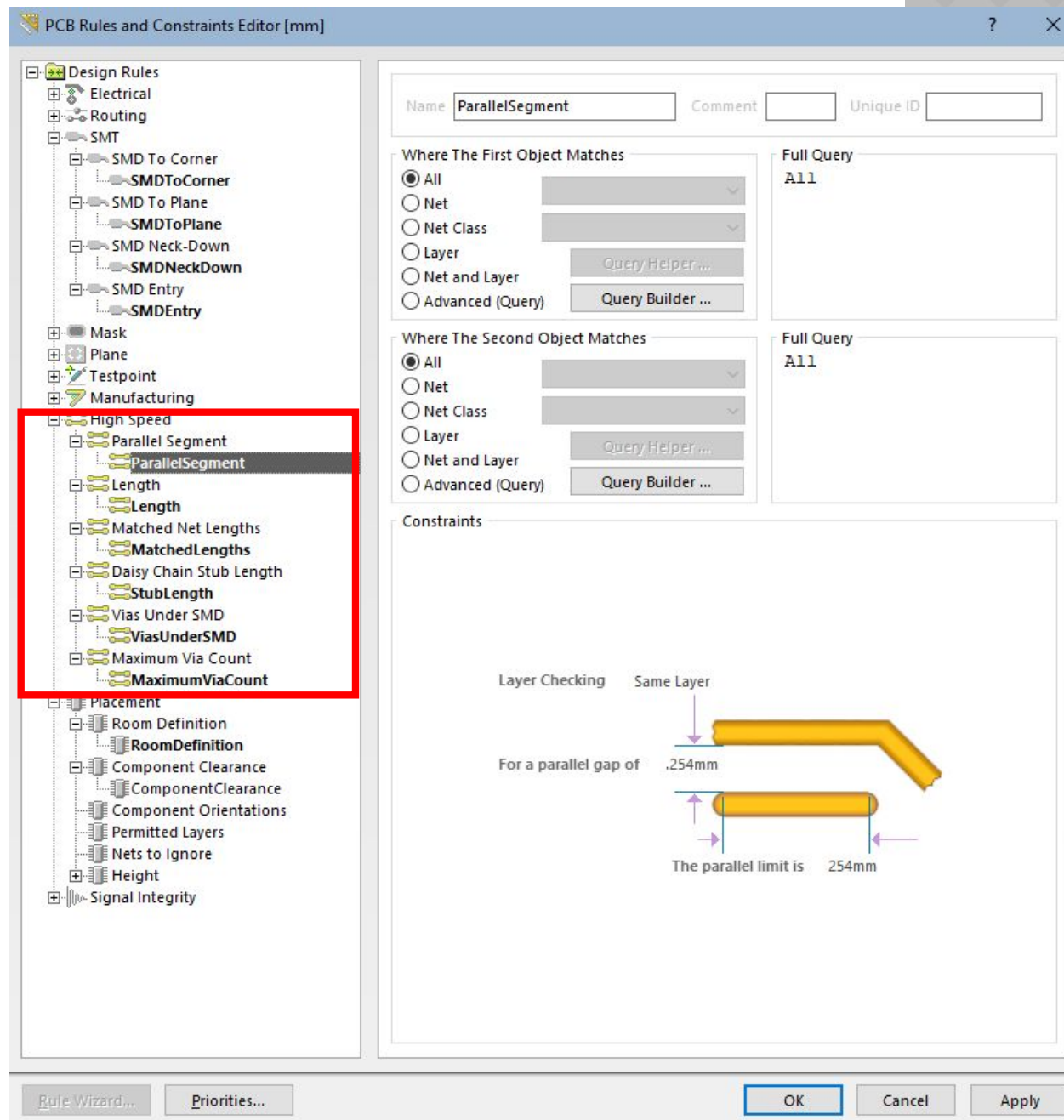
Apply

- ◉ 7. High Speed – правила для высокоскоростных схем



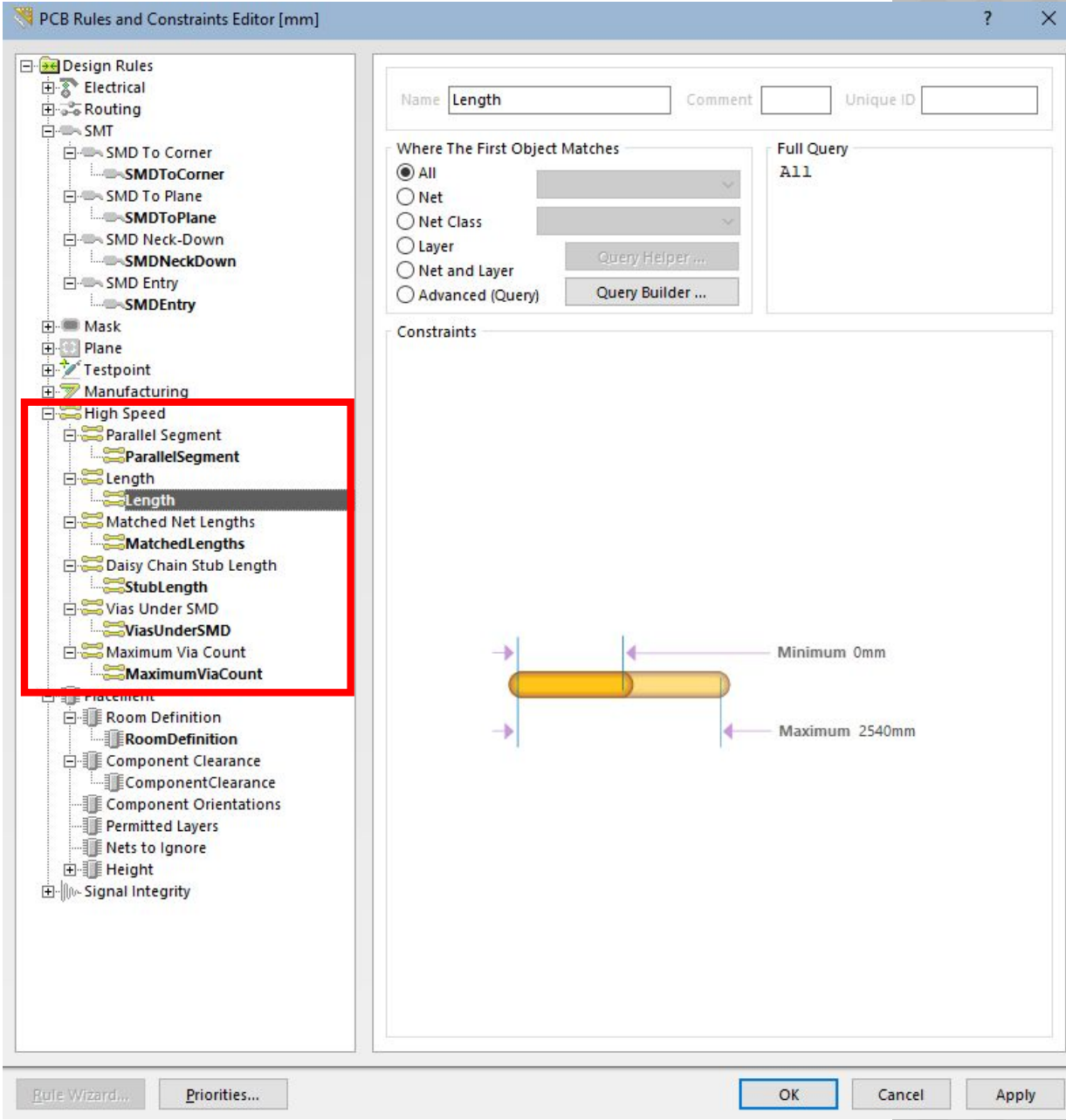
## Parallel Segment Constraint

(ограничение на длину параллельных сегментов) - определяет длину параллельных сегментов двух проводников в зависимости от заданного расстояния между этими сегментами. Заметим, что данное правило тестирует только два сегмента проводников и не тестирует наборы сегментов. Для оценки уровня перекрёстных искажений, которые являются функцией длины и размера зазора, необходимо использовать несколько таких правил для множества параллельно проложенных сегментов цепи. Установка данного правила не создаёт конфликта дублированных правил. Данное правило проверяется программой проверки (DRC) в интерактивном и пакетном режимах.



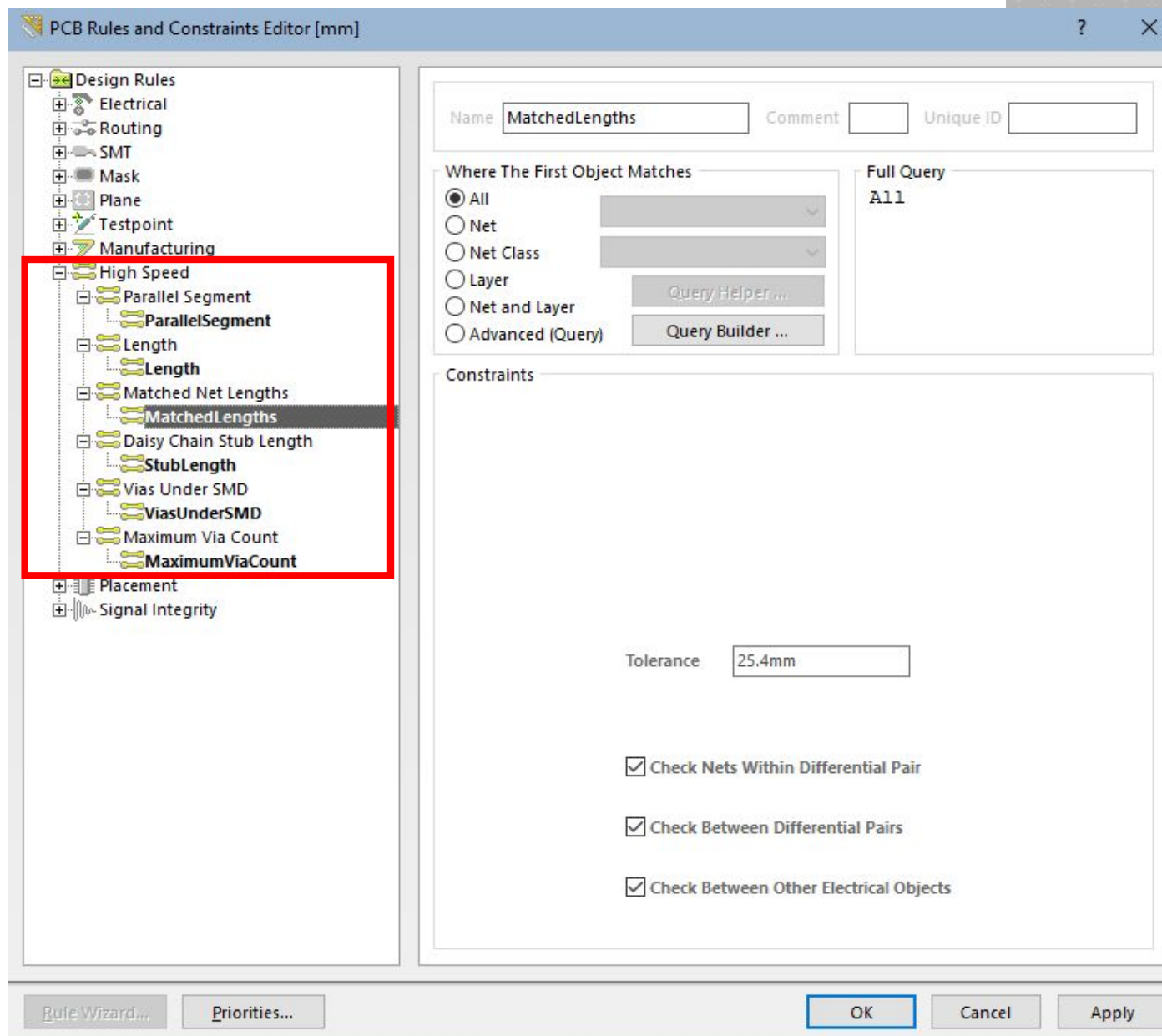
# Length

(ограничение длины проводника) - определяет минимальную и максимальную длину проводника. Приоритет имеет правило, которое определяет наименьшую разницу между установленными значениями.



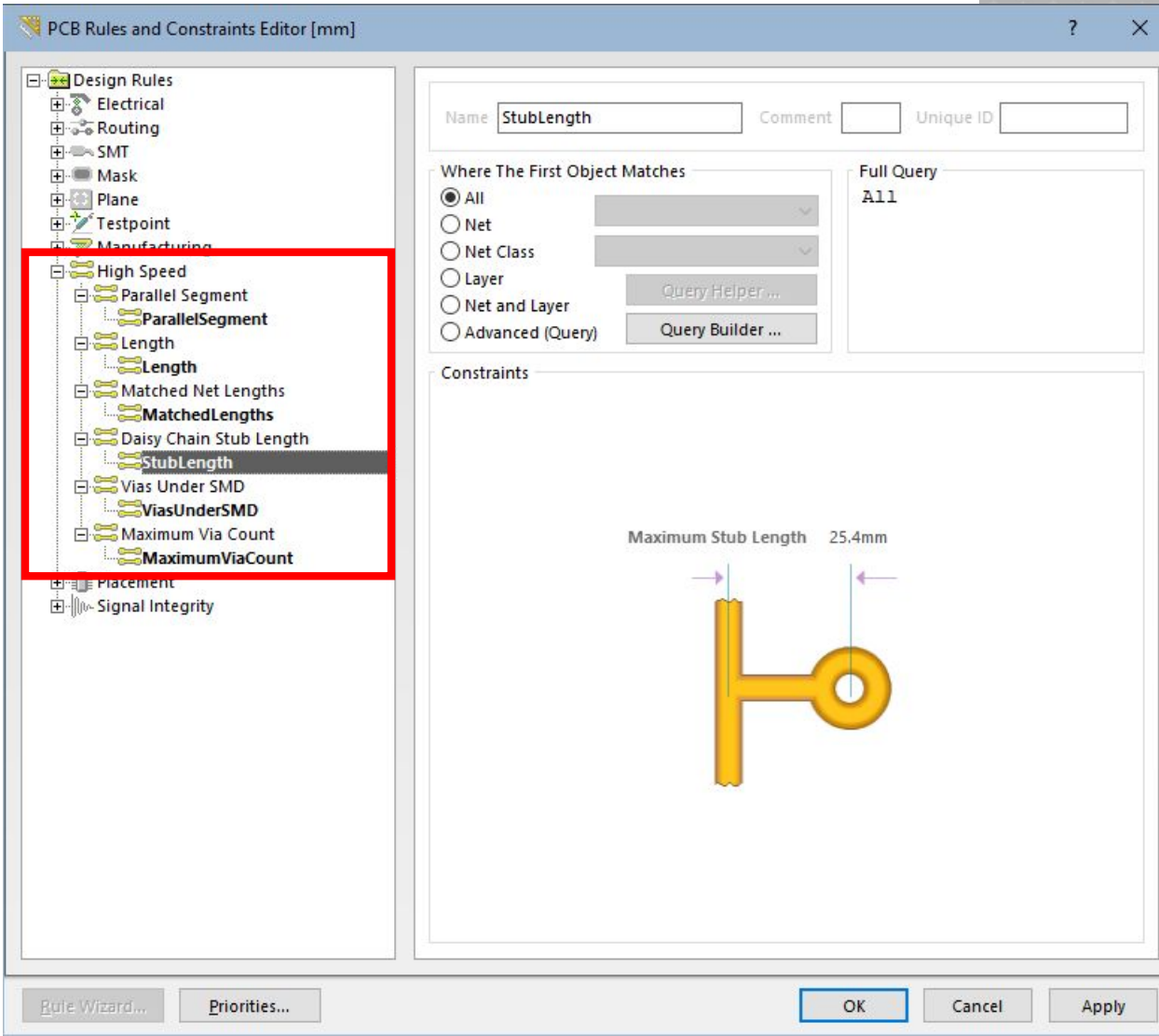
## Matched Net Lengths

(допуск согласования длин цепей) - определяет разницу длин цепей, которые должны быть выровнены по длине. Редактор печатных плат определяет самую длинную цепь (в указанной группе) и сравнивает её с другими цепями в этой группе.



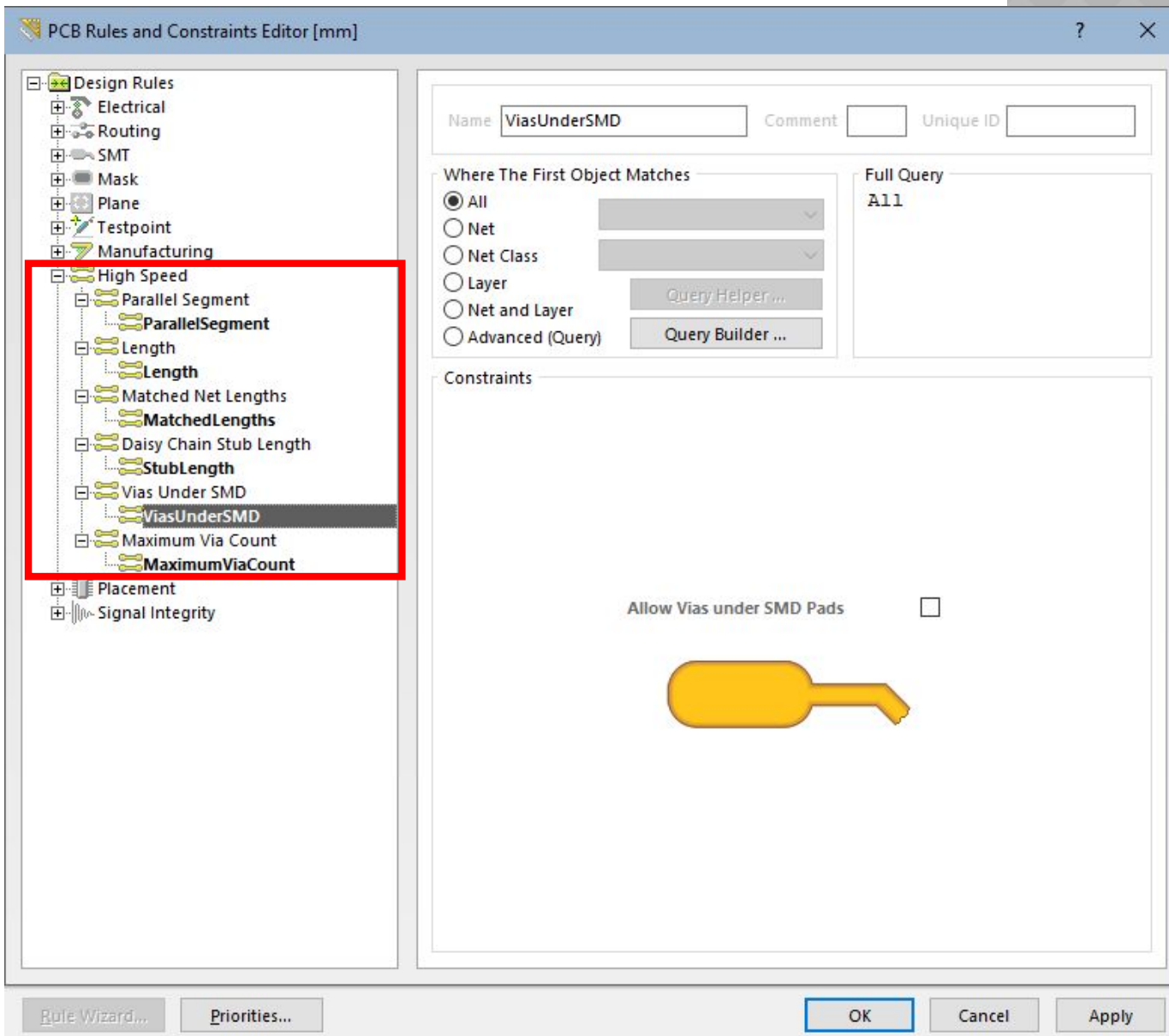
# Daisy Chain Stub Length

(ограничение на длину шлейфа) - определяет максимально допустимую длину шлейфа для цепей с топологией в виде цепочки. Приоритет имеет правило, которое определяет наименьшую длину шлейфа.



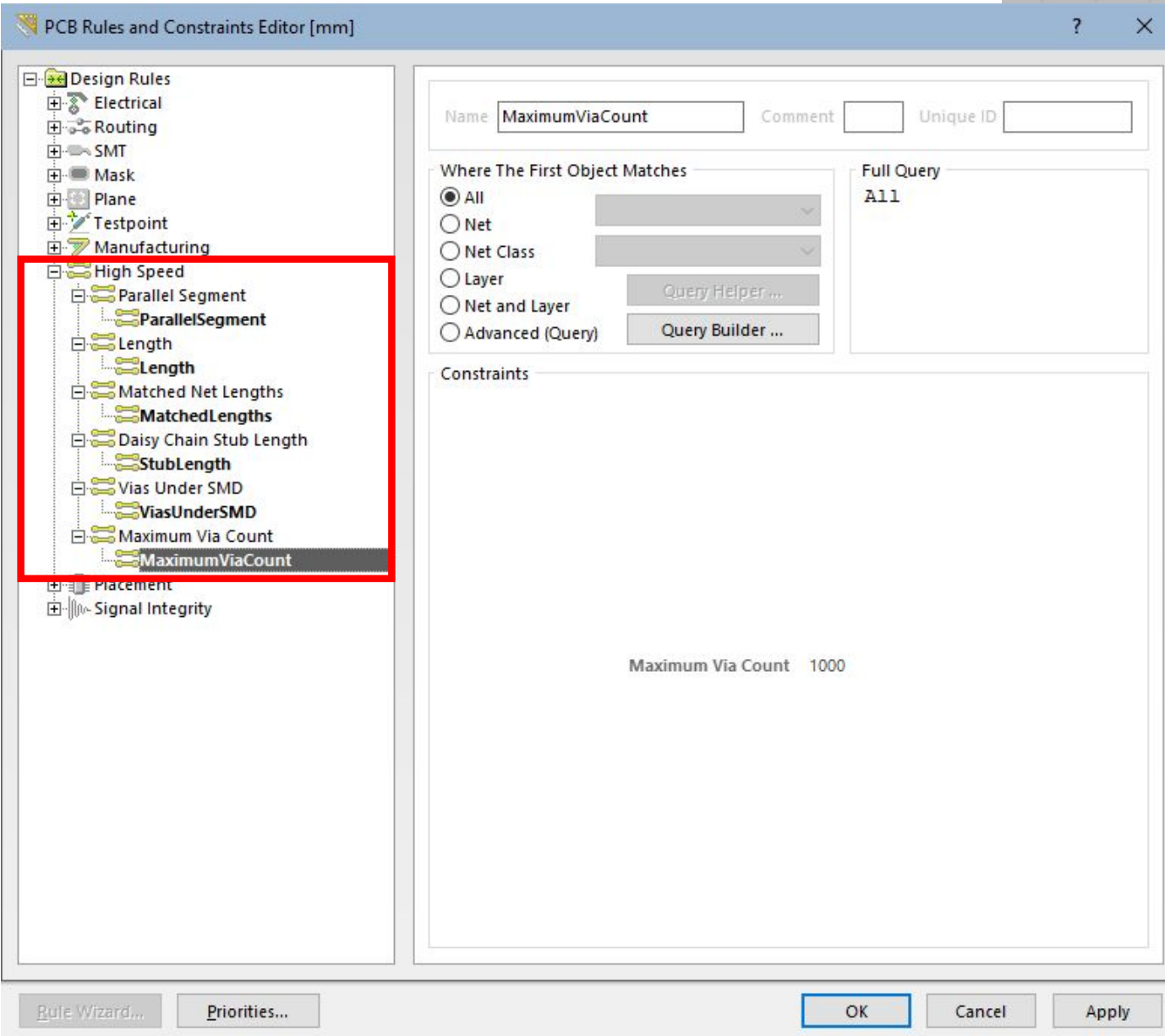
# Via Under SMD

(переходные отверстия под SMD элементами) - устанавливает возможность размещения переходных отверстий во время автоматической трассировки под контактными площадками для устройств, использующих технологию поверхностного монтажа.



# Maximum Via Count

(максимальное число переходных отверстий)  
- определяет  
максимально  
допустимое количество  
переходных отверстий.





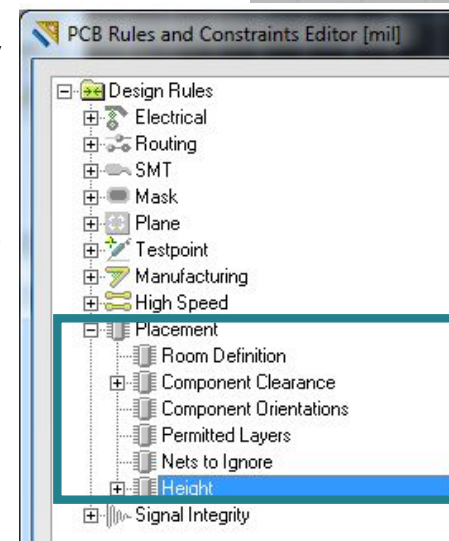
- 8. Placement - правила проектирования, учитываемые при размещении компонентов

**Room Definition** (области размещения) - определяет область (Room), в которой либо разрешено, либо запрещено размещать некоторый набор объектов. Области размещения определяются с помощью команды меню *Place > Room*. Редактирование областей производится аналогично любым другим объектам на плате. Установленные правила проверяются в режимах интерактивной или пакетной проверки правил проектирования (DRC), а также при автоматическом размещении компонентов программой Cluster Placer.

**Component Orientation** (ориентация компонентов) - определяет допустимую ориентацию компонентов. Разрешается назначать одновременно несколько видов ориентации, что позволяет программе автоматического размещения выбирать любую из них.

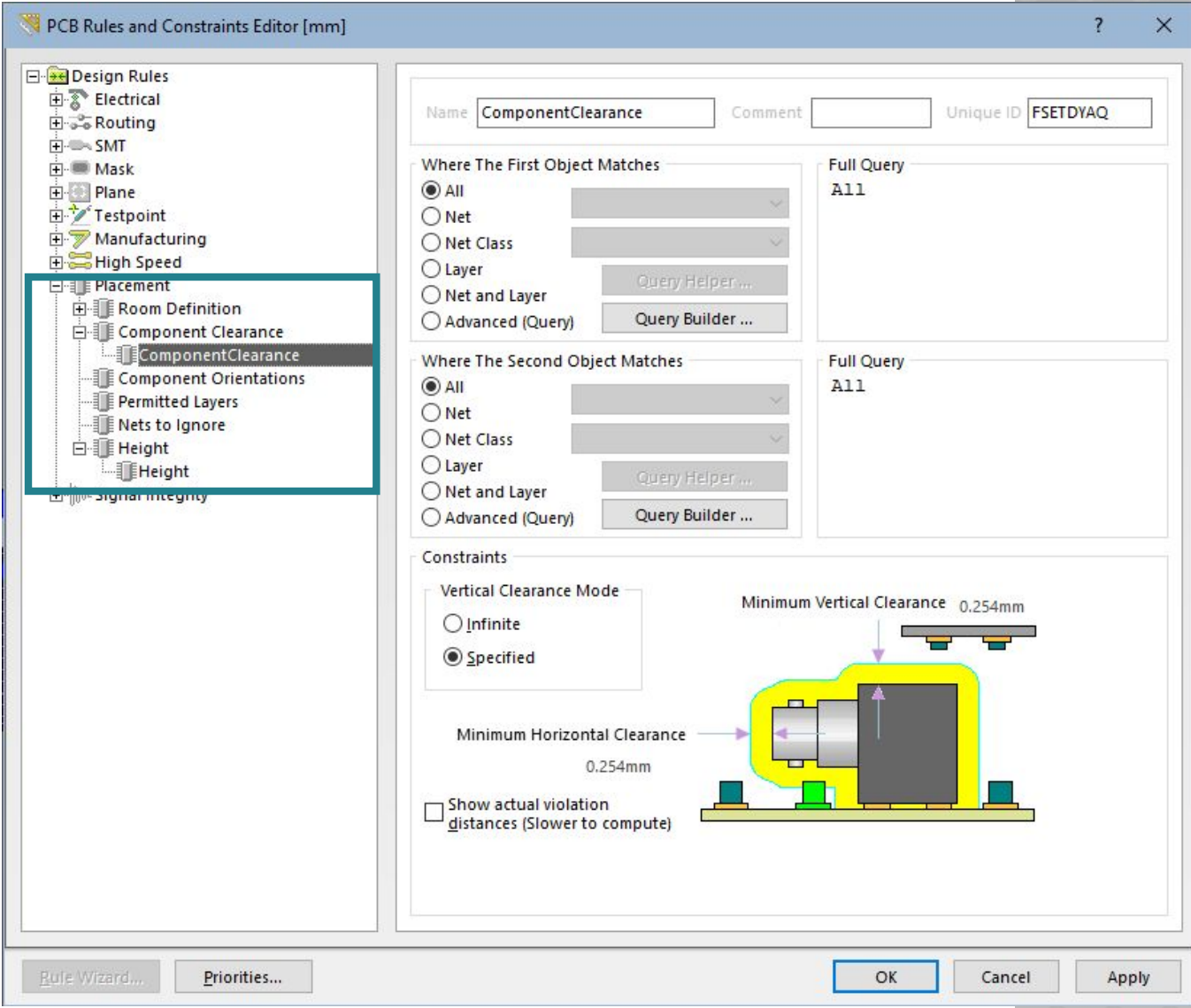
**Permitted Layers** (разрешённые слои) - определяет, на каких слоях программой Cluster Placer могут быть размещены компоненты. Программа Cluster Placer не может изменить слой, где будут размещаться компоненты, поэтому необходимо устанавливать слой до её запуска.

**Nets to Ignore** (игнорирование цепей) - определяет, какие цепи не должны быть оптимизированы при выполнении программой Cluster Placer операции автоматического размещения. Отключение оптимизации цепей питания и земли может помочь в быстром и качественном размещении компонентов.

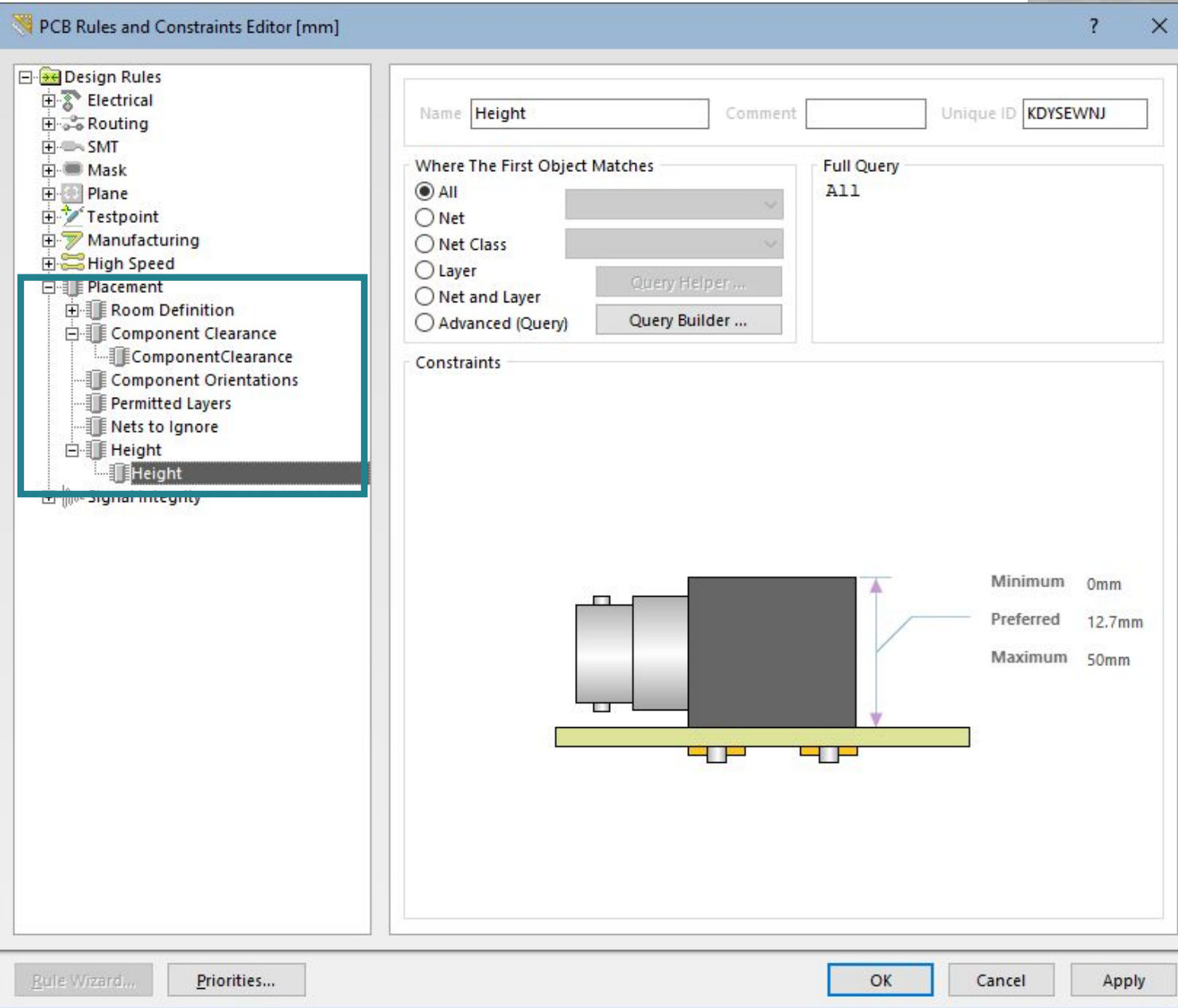


# Component Clearance Constraint

(расстояние между компонентами) - устанавливает минимально допустимое расстояние между компонентами. В списке задаётся один из двух режимов проверки: либо выбирается общий зазор между компонентами по горизонтали и вертикали (Infinite), либо задаются отдельные значения (Specified).

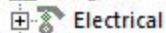


**Height**  
(высота) -  
определяет  
ограничение по  
высоте компонентов  
которые могут  
располагаться в  
указанной области.



- 9. Testpoint, Signal integrity

## Design Rules



Electrical



Routing



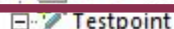
SMT



Mask



Plane



Testpoint

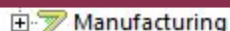
Fabrication Testpoint Style

FabricationTestpoint

Fabrication Testpoint Usage

Assembly Testpoint Style

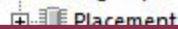
Assembly Testpoint Usage



Manufacturing



High Speed



Placement



Signal Integrity

Signal Stimulus

Overshoot - Falling Edge

Overshoot - Rising Edge

Undershoot - Falling Edge

Undershoot - Rising Edge

Impedance

Signal Top Value

Signal Base Value

Flight Time - Rising Edge

Flight Time - Falling Edge

Slope - Rising Edge

Slope - Falling Edge

Supply Nets

Name FabricationTestpoint

Comment

Unique ID LMDNJIQK

## Where The First Object Matches

☒ All☐ Net☐ Net Class☐ Layer☐ Net and Layer☐ Advanced (Query)

Query Helper ...

Query Builder ...

## Full Query

All

## Constraints

## Sizes

	Size	Hole Size
Min	1.016mm	0mm
Max	2.54mm	1.016mm
Preferred	1.524mm	0.813mm

## Clearances

Min Inter-Testpoint Spacing 0mm  
Component Body Clearance 0mm  
Board Edge Clearance 0mm

## Grid

☐ No Grid☒ Use Grid

Origin X: 441mm Y: -94.361mm

Grid Size 0.025mm

Tolerance 0mm

☒ Allow testpoint under component

## Allowed Side

☒ Top☒ Bottom

## Rule Scope Helper

☐ SMD Pads☐ Vias☐ Thru-hole Pads

Set Scope

Rule Wizard...

Priorities...

OK

Cancel

Apply



Спасибо за внимание!