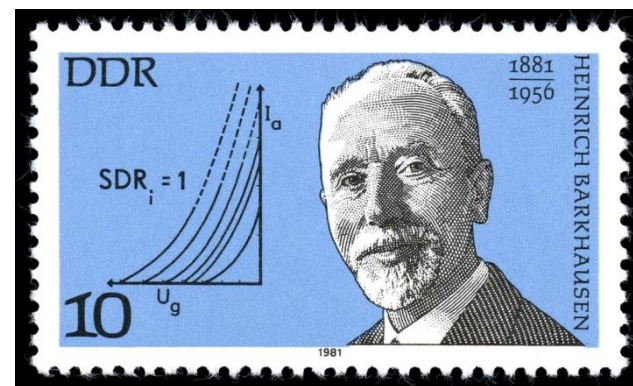
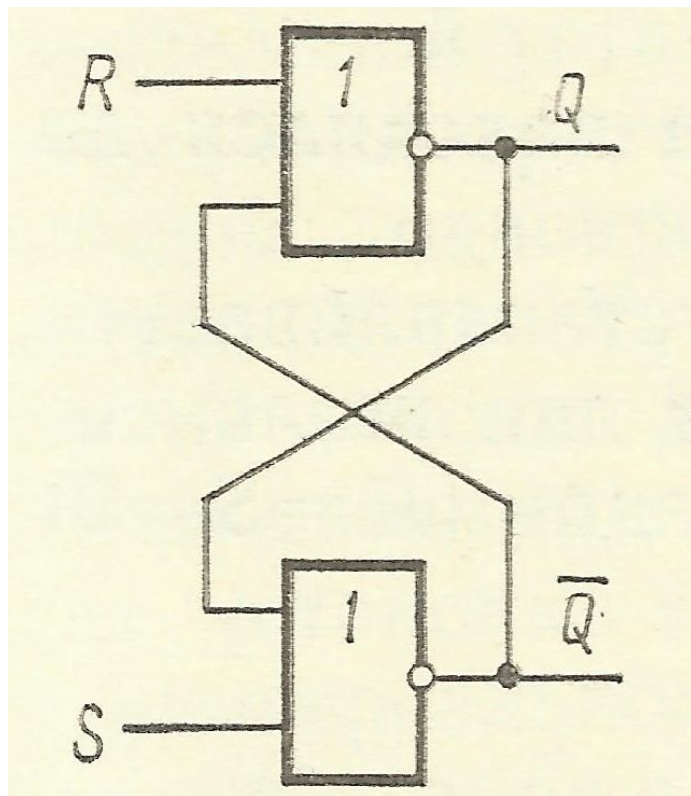


ТС-схемы.

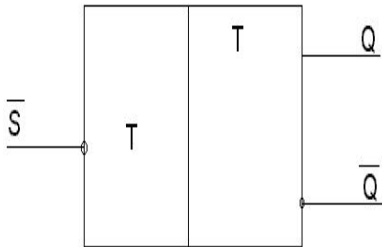
Триггерные схемы (ТС)- схемы в которых значения выходных сигналов однозначно определяются значениями входных сигналов в текущий и предыдущие моменты времени .



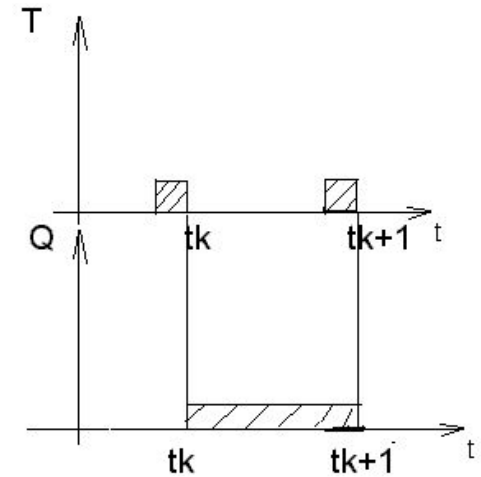
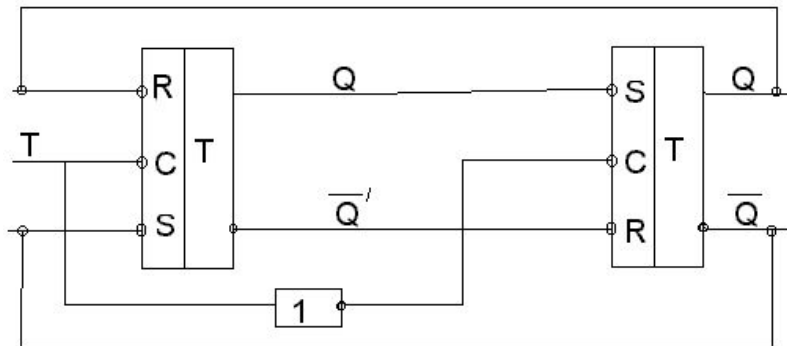
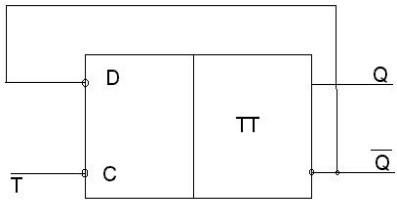
Уильям Икклз,
Франк Джордан

Триггер имеет два устойчивых состояния и на базовом уровне является двумя усилителями постоянного тока на базе ИЛИ или И.

Двухступенчатые триггеры.



Асинхронный Т-триггер (счетный) переключается каждый раз, когда на вход Т поступает управляющий сигнал, т.е. изменяет свое состояние на противоположное по каждому активному логическому сигналу, действующему на информационном входе Т (Т-счетный вход триггера).



$Q(k-1)$	$T(k)$	$Q(k)$
0	0	0
0	1	1
1	0	1
1	1	0

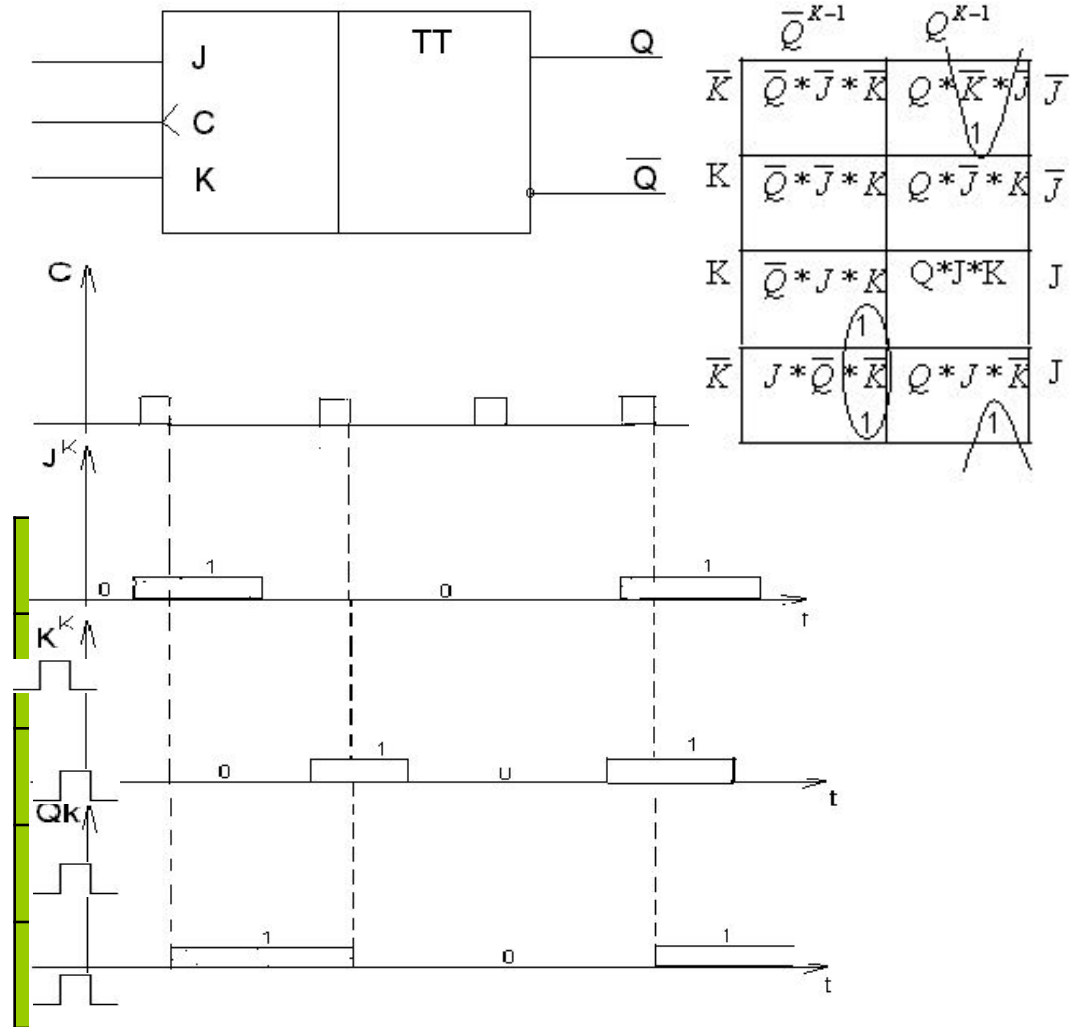
$$Q^K = Q^{K-1} * \bar{T}^K + \bar{Q}^{K-1} * T^K$$

JK- триггер является универсальным триггером, т.к. на его базе могут быть выполнены любые триггеры.

К-вход сброса универсального триггера ($Q=0$); J- вход установки универсального триггера ($Q=1$);

$$Q_K = J^K * \overline{Q}^{K-1} + \overline{K}^K * Q^{K-1}$$

Обозначение	Вид микросхемы
ТВ	JK триггер
ТД	Динамический триггер
ТК	Триггер комбинированный (DT, RST)
ТЛ	Триггер Шмитта
ТМ	Триггер типа D (с задержкой)
ТР	Триггер RS (с отдельным запуском)
ТТ	Триггер Т (счетный)



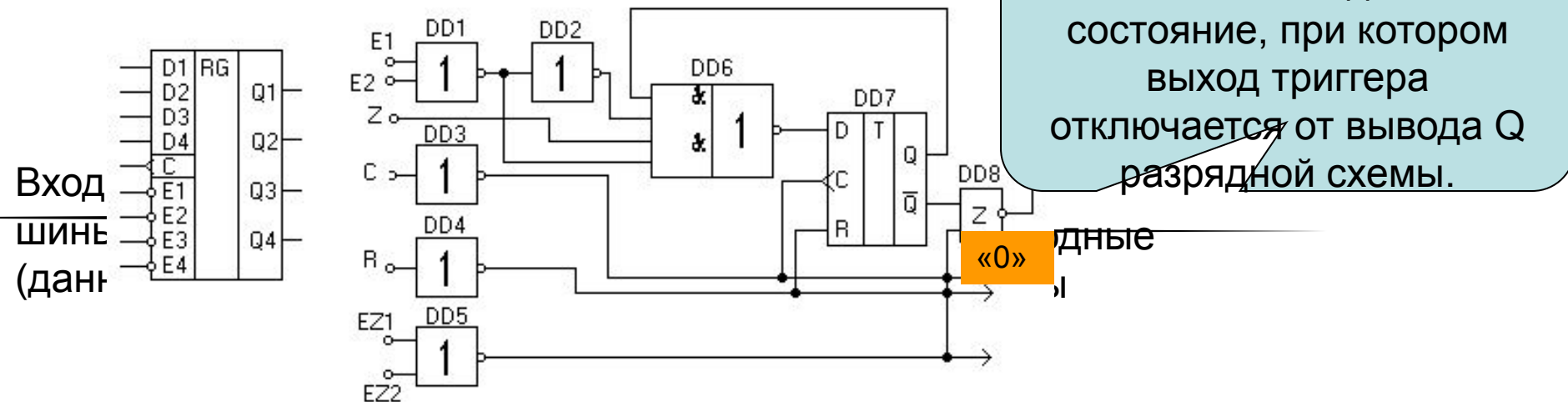
Принципы работы цифровых устройств.

Обработка сигнала в регистре.

Универсальный регистр со сдвигом

Принципы работы АЛУ на примере сумматоров.

Параллельные, в которых информация записывается и считывается только в параллельной форме;

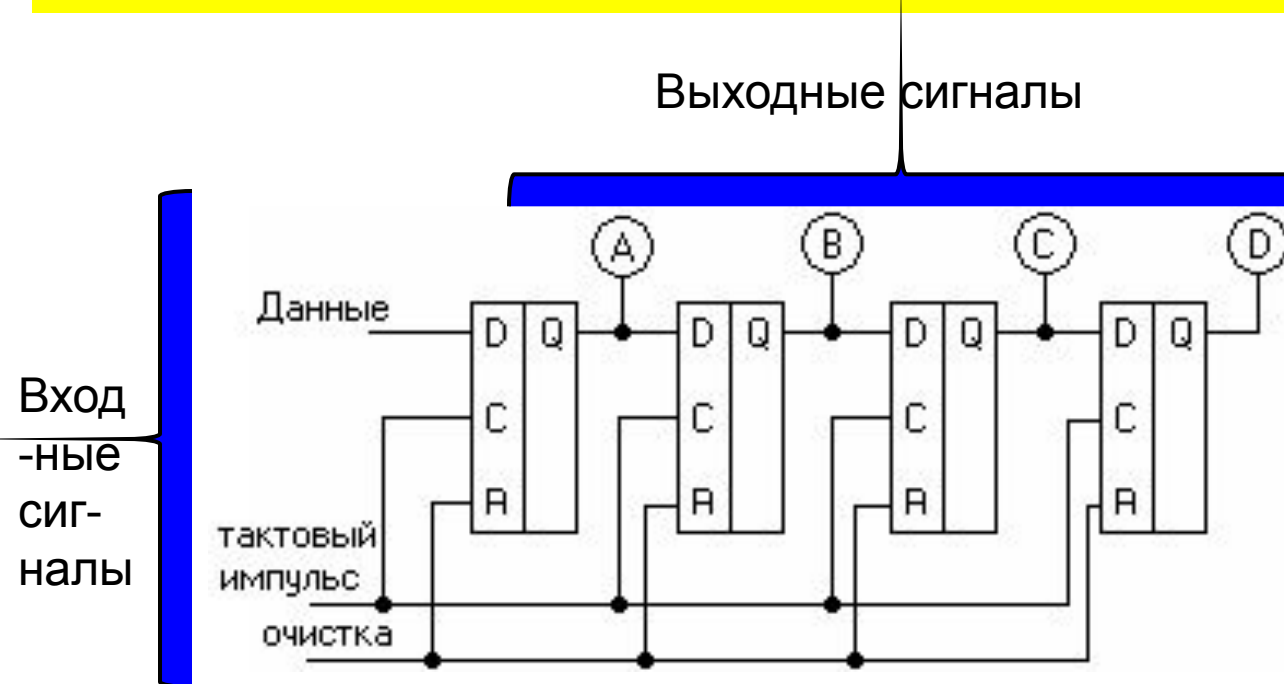


Управляемые входы EZ1;EZ2 равнозначны и предназначены для перевода выходов регистра высокоимпендансное состояние (состояние Z). Если $EZ1+EZ2=1$, то на вход DD8 «0» и отключаются выходы триггеров разрядных схем от выходов интегральных схем.

Входы E1,E2 также обеспечивают перевод регистра из режима приема в режим хранения информации. При $E1+E2=1$ и $C=1$ с выхода Q D-триггера DD7 переписывается в этот же триггер. Осуществляется режим хранения информации.

При $E1+E2=0$ и $C=1$ происходит запись новой информации в D-триггер

Последовательный регистр сдвига - в которых информация записывается и считывается только в последовательной форме;



Вводится 0111

Входы			Выходы			
очистка	данные	№ Такт. Имп.	A	B	C	D
0	0	0	0	0	0	0
1	1	0	0	0	0	0
0	1	1	1	0	0	0
0	1	2	1	1	0	0
0	1	3	1	1	1	0
0	0	4	0	1	1	1
0	0	5	0	0	1	1
0	0	6	0	0	0	1
0	0	7	0	0	0	0
0	0	8	0	0	0	0
0	1	9	1	0	0	0
0	0	10	0	1	0	0
0	0	11	0	0	1	0
0	0	12	0	0	0	1
0	0	13	0	0	0	0

При каждом тактовом импульсе

- информация вводится по одному разряду,
- при сдвиге информации вправо теряется крайний правый разряд.

Данные в регистр вводятся последовательно поразрядно.

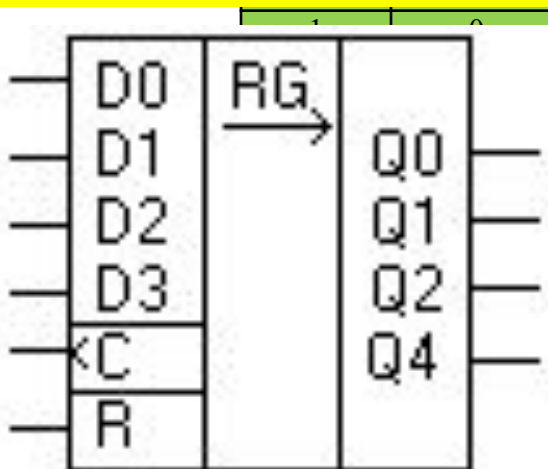
Условные обозначения регистра со сдвигом.

Параллельный четырехразрядный кольцевой регистр сдвига на JK триггерах

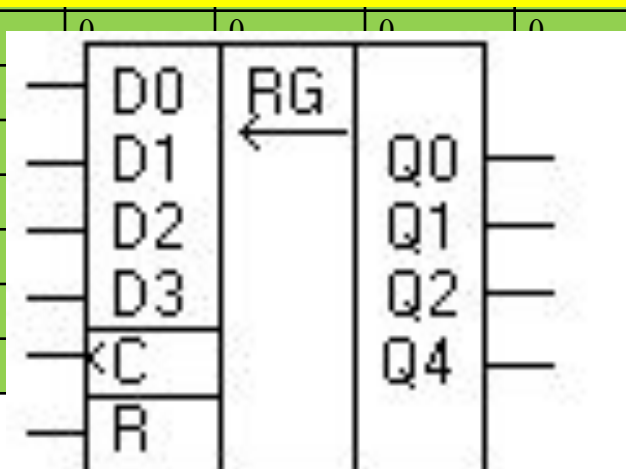
Данные		ВХОДЫ					ВЫХОДЫ				
		очистка	Параллельная загрузка данных				Номер тактового импульса	A1	B1	C1	D1
			A	B	C	D					
Управление		0	1	1	1	1	0	1	1	1	1
		1	1	1	1	1	0	0	0	0	0
		0	0	1	0	0	0	0	1	0	0
		0	0	0	0	0	1	0	0	1	0
		0	0	0	0	0	2	0	0	0	1
		0	0	0	0	0	3	1	0	0	0

сдвиг информации влево из старшего разряда в младший

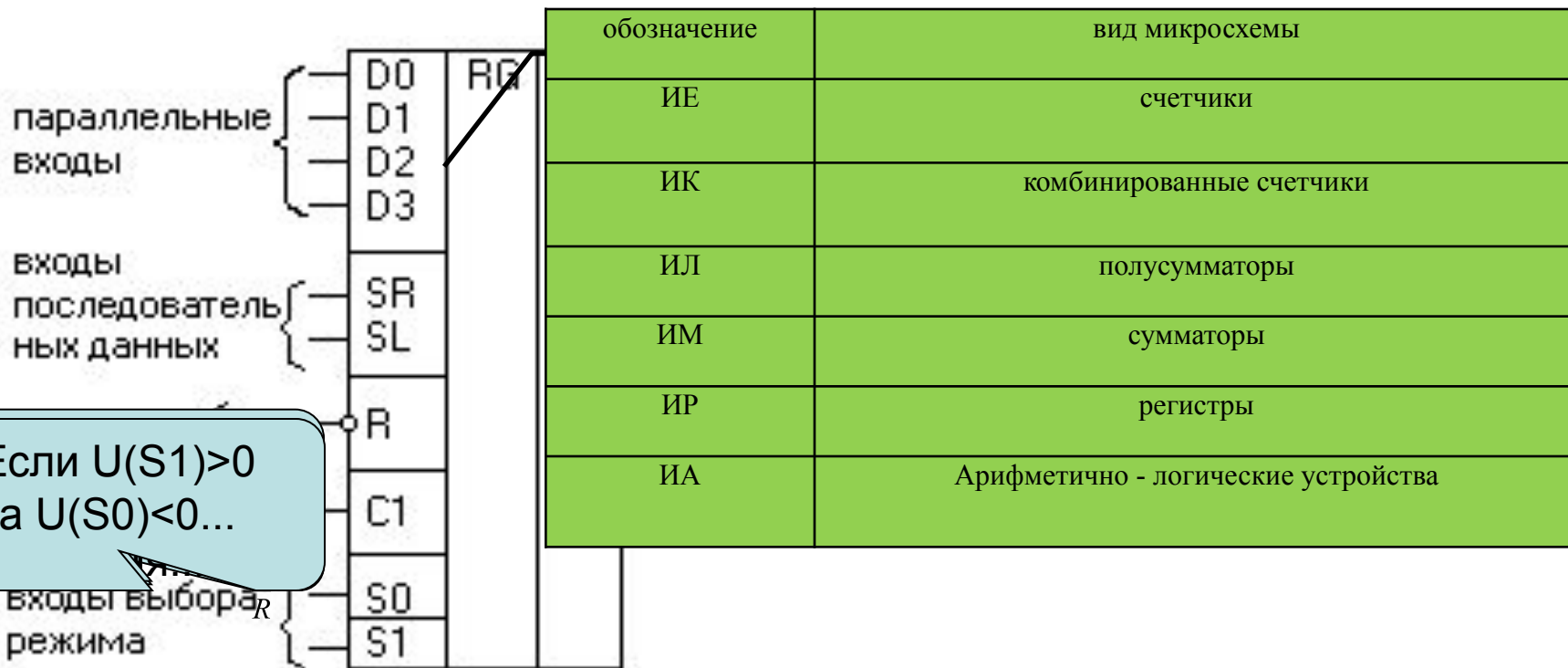
сдвиг информации вправо из младшего разряда в старший



0	0	0	
1	1	0	
0	0	0	6
0	0	0	7
0	0	0	8
0	0	0	9
0	0	0	10



Универсальный четырехразрядный сдвиговой регистр на примере К555ИР11



Режим работы	Вход						Выход			
	C		S1	S0	SR	SL	Q0	Q1	Q2	Q3
сброс	x	0	x	x	x	x	0	0	0	0
хранение	x	1	0	0	x	x	q0	q1	q2	q3
сдвиг влево	1	1	1	0	x	0	q1	q2	q3	0
сдвиг вправо	1	1	1	0	x	x	0	q0	q1	q2
параллельная загрузка	1	1	1	1	x	x	d0	d1	d2	d3

Арифметико-логическим устройством (АЛУ) называется функционально законченный узел, предназначенный для реализации логических и арифметических операций по обработке информации..

СУММАТОРЫ

Полусумматоры
(сложение
одноразрядных кодов
с 2 входами и
выходами)

Одноразрядные
сумматоры(сложение
одноразрядных кодов с
3 входами и 2выходами)

Сигнал переноса

Многоразрядные
сумматоры(сложение
многоразрядных кодов)

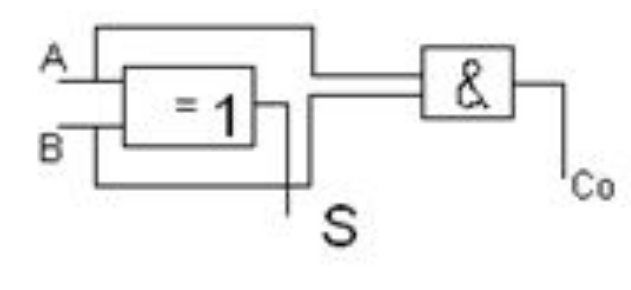
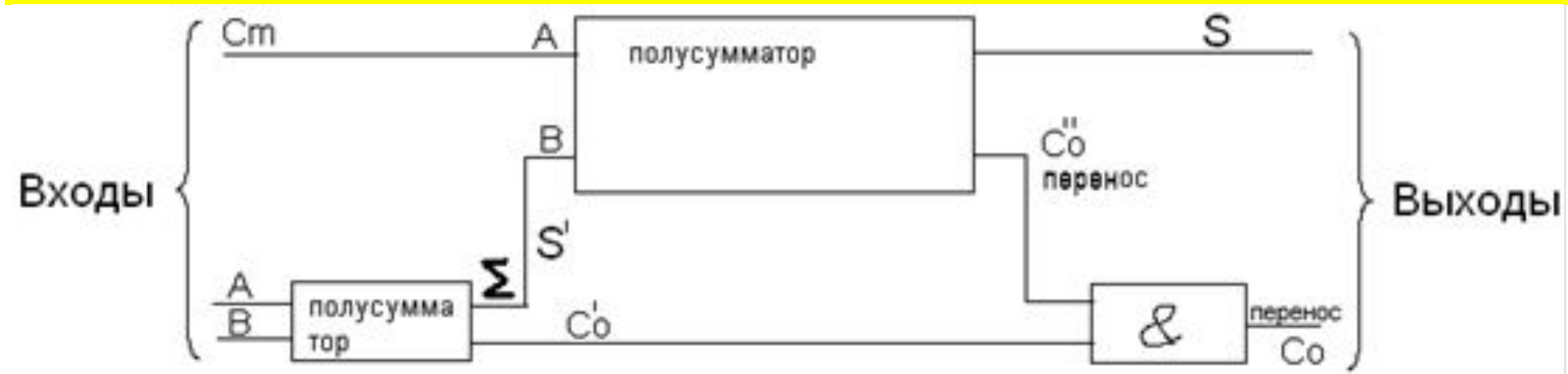
Формируют из сигналов
входных слагаемых
сигналы суммы и
переноса в старший
разряд.

Формируют код суммы и
сигнал переноса в
случае, если результат
сложения не может быть
представлен кодом

Параллельные.
(сложение в параллельной
форме)

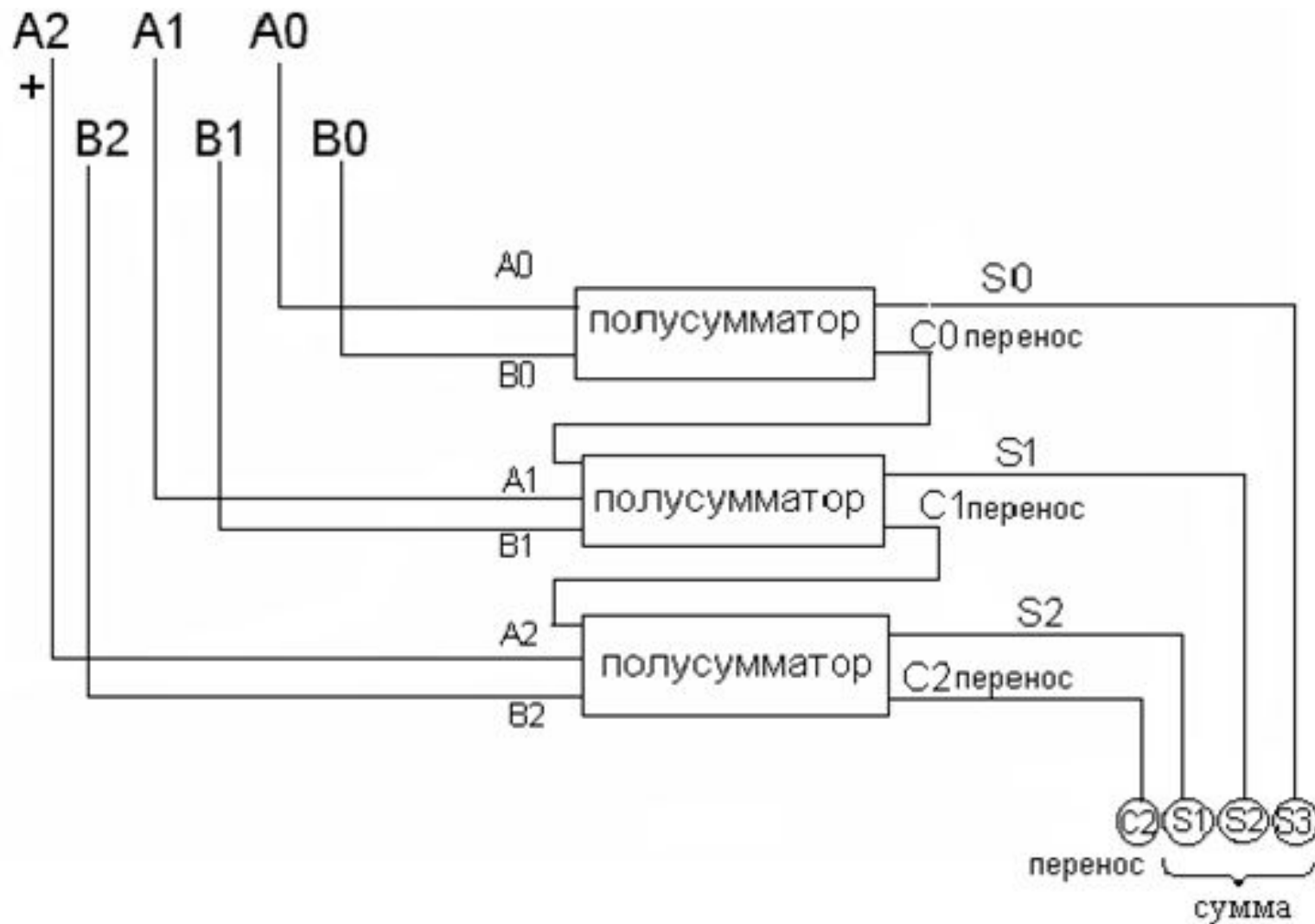
Последовательные
(сложение в
последовательной форме)

Одноразрядным сумматором называется устройство, предназначенное для сложения двух одноразрядных кодов, имеющее три входа и два выхода и формирующие из сигналов входных слагаемых и сигнала переноса из младших разрядов сигналы суммы и переноса в старший разряд.



ВХОДЫ			Выходы	
C_m	B	A	S	C_o
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1
			Сумма	Перенос

4 3-разрядные параллельные сумматоры.



По способу записи и считывания различают регистры

По форме хранения различают регистры ...

По коду управления различают ...

Управляемые входы регистра $EZ1; EZ2$ равнозначны и предназначены для ...

Входы $E1, E2$ обеспечивают перевод регистра из режима приема в режим хранения информации. При $E1 + E2 = 1$ и $C = 1$ с выхода Q D-триггера ...

Входы $E1, E2$ обеспечивают перевод регистра из режима приема в режим хранения информации. При $E1 + E2 = 0$ и $C = 1$ происходит ...

Одноразрядным сумматором называется устройство, предназначенное для сложения двух одноразрядных кодов, имеющее...

Одноразрядный сумматор формирует...

Полусумматор формирует из входных сигналов...



