

Технологии регистрации заряженных частиц, сбор и анализ данных детекторов в ФВЭ

Лекция 5

VMM

- VMM – электроника для STGC и MICROMEGAS проекта NSW
- VMM - специализированная интегральная схема (ASIC)
- Размер 21X21 мм
- VMM разработано Brookhaven National Laboratory (BNL)
- Состоит из 64 каналов с конфигурируемыми параметрами
- Регистрирует как негативные, так и позитивные сигналы
- Выходные данные:
 - Амплитуда (PDO) и время (TDO)
 - Адрес первого сработавшего канала (ART)
 - Аналоговые сигналы амплитуды и времени (для настройки)
- Данные передаются по двум проводам:
 - Data 0
 - Data 1

VMM3 pinout

A	Vddip	Vddip	Vddip	Vss	Vss	Vss	Vss	trdb	Vddi	Vddi	Vssad	Vssad	Vssad	Vssad	Vddad	Vddad	Vddad	Vddad	+SETT -
B	Vddip	Vddip	Vddip	Vss	Vss	Vss	Vss	prb	Vddi	Vddi	Vddi	Vssad	+TKO -	+CKTP -	SDB	SDB	CS	SOK	
C	i0	i1	i2	i3	Vss	Vss	Vss	mo	Vddi	Vddi	Vddi	Vssad	+TKI -	+CKBC -	+ENA -	+CK6B -			
D	i4	i5	i6	i7	Vss	Vss	Vss	Vddi	Vddi	Vddi	Vddi	Vssad	+CKIK -	+DT0 -	+DT1 -	+CKART -			
E	i8	i9	i10	i11	Vss	Vss	Vss	Vddi	Vddi	Vddi	Vddi	Vssad	+ART -	+CKDT -	+t0 -	+t1 -			
F	i12	i13	i14	i15	Vss	Vss	Vss	Vddi	Vddi	Vddi	Vddi	Vssad	+t2 -	+t3 -	+t4 -	+t5 -			
G	i16	i17	i18	i19	Vss	Vss	Vss	Vddi	Vddi	Vssad	Vssad	Vssad	+t6 -	+t7 -	+t8 -	+t9 -			
H	i20	i21	i22	i23	Vss	Vss	Vss	Vddi	Vddi	Vssad			+t10 -	+t11 -	+t12 -	+t13 -	+t14 -		
J	i24	i25	i26	i27	Vss	Vss	Vss	Vddi	Vddi	Vssad			+t15 -	+t16 -	+t17 -	+t18 -	+t19 -		
K	i28	i29	i30	i31	Vss	Vss	Vss	Vddi	Vddi	Vssad			+t20 -	+t21 -	+t22 -	+t23 -	+t24 -		
L	i32	i33	i34	i35	Vss	Vss	Vss	Vddi	Vddi	Vddi			+t25 -	+t26 -	+t27 -	+t28 -	+t29 -		
M	i36	i37	i38	i39	Vss	Vss	Vss	Vddi	Vddi	Vddi			+t30 -	+t31 -	+t32 -	+t33 -	+t34 -		
N	i40	i41	i42	i43	Vss	Vss	Vss	Vddi	Vddi	Vddi			+t35 -	+t36 -	+t37 -	+t38 -	+t39 -		
P	i44	i45	i46	i47	Vss	Vss	Vss	Vddi	Vddi	Vddi	Vddi	Vddi	+t40 -	+t41 -	+t42 -	+t43 -			
R	i48	i49	i50	i51	Vss	Vss	Vss	Vddi	Vddi	Vddi	Vddi	Vddi	+t44 -	+t45 -	+t46 -	+t47 -			
T	i52	i53	i54	i55	Vss	Vss	Vss	Vddi	Vddi	Vddi	Vddi	Vddi	+t48 -	+t49 -	+t50 -	+t51 -			
U	i56	i57	i58	i59	Vss	Vss	Vss	Vddi	Vddi	Vddi	Vddi	Vddi	+t52 -	+t53 -	+t54 -	+t55 -			
V	i60	i61	i62	i63	Vss	Vss	Vss	Vddi	Vddi	Vddi	Vddi	Vddi	+t56 -	+t57 -	+t58 -	+t59 -			
W	Vddip	Vddip	Vddip	Vss	Vss	Vss	Vss	Vddi	Vddi	Vddi	Vddi	Vddi	+t60 -	+t61 -	+t62 -	+t63 -			
Y	Vddip	Vddip	Vddip	Vss	Vss	Vss	Vss	Vddi	Vddi	Vddi	Vssad	Vssad	Vssad	Vssad	Vddad	Vddad	Vddad	+SETB -	

Vddip

 preamp +1.2V

Vddi

 analog +1.2V

Vss

 analog 0V

Vddad

 ADC +1.2V

Vssad

 ADC 0V

Vdddd

 digital +1.2V

Vssdd

 digital 0V

analog in

analog out

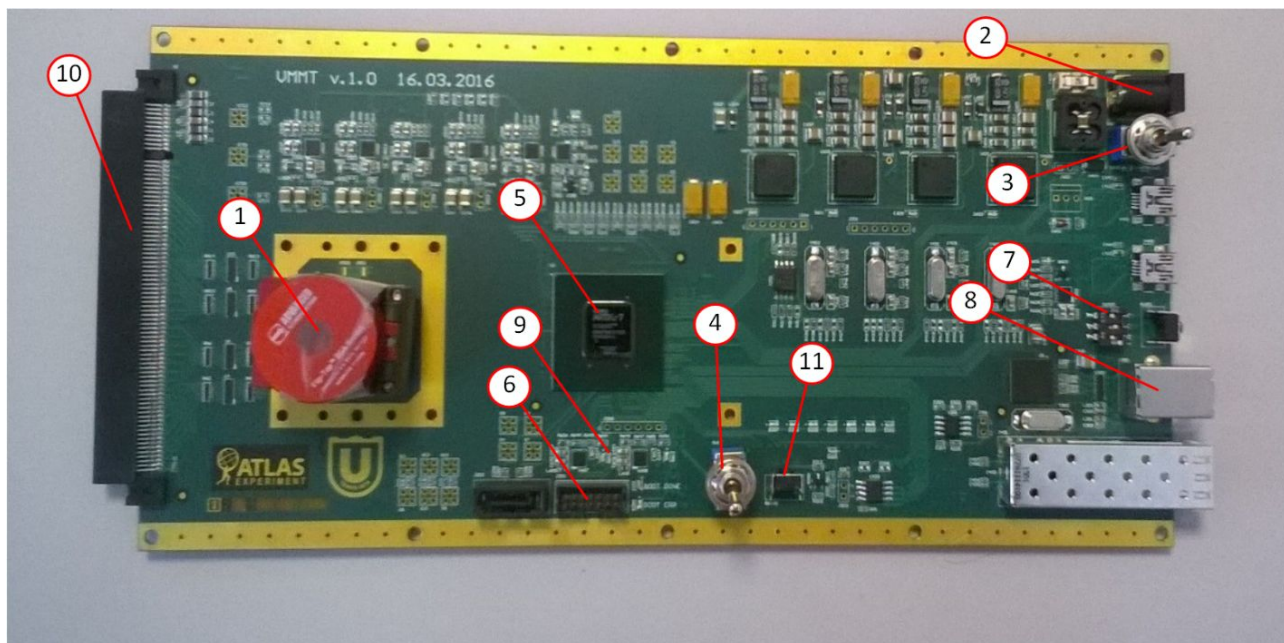
digital SE IO

+ xxx -

 SLVS IO

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
---	---	---	---	---	---	---	---	---	----	----	----	----	----	----	----	----	----	----	----

Тестирование чипов



- 1 - Сокет для установки микросхемы VMM3;
- 2 - Разъем подключения внешнего источника питания;
- 3 - Тумблер включения питания Тестера;
- 4 - Тумблер включения питания микросхемы VMM3;
- 5 - ПЛИС Artix-7;

- 6 - JTAG разъем;
- 7 - DIP переключатель режимов интерфейса USB 3.0;
- 8 - Разъем USB 3.0;
- 9 - Светодиоды;
- 10 - Разъем для подключения внешнего генератора тестовых сигналов;
- 11 - Кнопка FPGA Reset.

Тестирование чипов. Приложение VMMT

VMM3 Tester

File

VMM Configuration

Global Parameters

Positive Input Charge Polarity ☐ spg

Disable-at-Peak ☐ sdp

Route Analog Monitor to PDO Output ☐ sbmx

Analog Output Buffers ☐ pdo ☐ tdo ☐ mo

Leakage Current Disable ☐ slg

Monitor Multiplexing ☐ scmx Ch. No. 0

ART enable ☐ sfa Mode threshold sfam

Peaking Time 200 ns st

Doubles the Leakage Current ☐ sfm

Gain (mV/fC) 0.5 sg

Neighbor Triggering Enable ☐ sng

Timing Outputs Control (s6b is 0) ☐ stpp ☐ stot [00. 01. 10. 11]: TtP, ToT, PtP, PTt

Timing Output ☐ sttt

TAC Slope Adjustment 60 stc ADCs Enable ☒ spdc

Coarse Threshold DAC 0 sdt(0:9)

Internal Pulser DAC 0 sdp(0:9)

10-bit ADC conversion time 1 sc010b,sc110b

8-bit ADC conversion time 1 sc08b,sc18b

6-bit ADC conversion time 1 sc06b, sc16b, sc26b

Dual Clock Edge Serialized Data Enable ☐ sdcks enables 6-bit ADC (sttt en) ☐ s6b

Dual Clock Edge Serialized ART Enable ☐ sdcka 8-bit ADC conversion mode ☐ s8b

Dual Clock Edge Serialized 6-bit Enable ☐ sdck6b Enable hi res ADC (8/10 bit) ☐ s10b

Tristate Analog Outputs ☐ sdrv Enable auto-reset ☐ str

Sub-hysteresis Discrimination Enable ☐ ssh ART flag synchronization ☐ ssart

Direct Digital Outputs Enable ☐ slvs

☐ s32 Skip ch. 16 to 47

☐ stlc Mild threshold cancel

☐ srec Fast recovery en

☐ sbip Bipolar shpe en.

☐ srat Timing ramp

☐ sfrst Fast reset en.

☐ slvsbc dcbc terminator en.

☐ slvstp cktp terminator en.

☐ slvstk cktd terminator en.

☐ slvsart ckart terminator en.

☐ slvstld cktdi terminator en.

☐ slvsena ena terminator en.

☐ slvs6b ck6b terminator en.

☐ sl0enaV

☐ reset

☐ reset

☐ sl0ena

1 L0 BC offset

1 Ch. taggig BC offset

0 Ch. taggig BC rollover

100 Trigger window size

0 Max hits per L0

1 L0 triggers ovf. skip

☐ sl0cktest

☐ sl0ckinv

☐ sl0dckinv

☐ nskipm_j

Channel Parameters

Ch. No. 0

Positive Polarity ☐ sp

Large Sensor Capacitance Mode ☐ sc

Leakage Current Disable ☐ sl

1.2pF test capacitor enable ☐ st

Multipie test capacitor by 10 ☐ sth

Mask Enable ☐ sm

Trim Threshold DAC 0 mV sd

Channel Monitor Mode ☐ smx

10-bit ADC zero 1 sz10

8-bit ADC zero 1 sz08

6-bit ADC zero 1 sz06

Set for All Channels

VMM3 ID

000001

☐ Auto

Probe

Slow Configure

Fast Configure

Gross Full Test

Full Test #3 (All Channels) ☐ Bunch mode

☐ Log to file

Path to Settings

Tester Status

VMM Tester Board is ready. FPGA version b7053012

EXIT

FPGA USB 3.0 Register i/o

Address (hex)

Data (hex)

Read

Write

Test Pulse Generator

0.2 Width, us

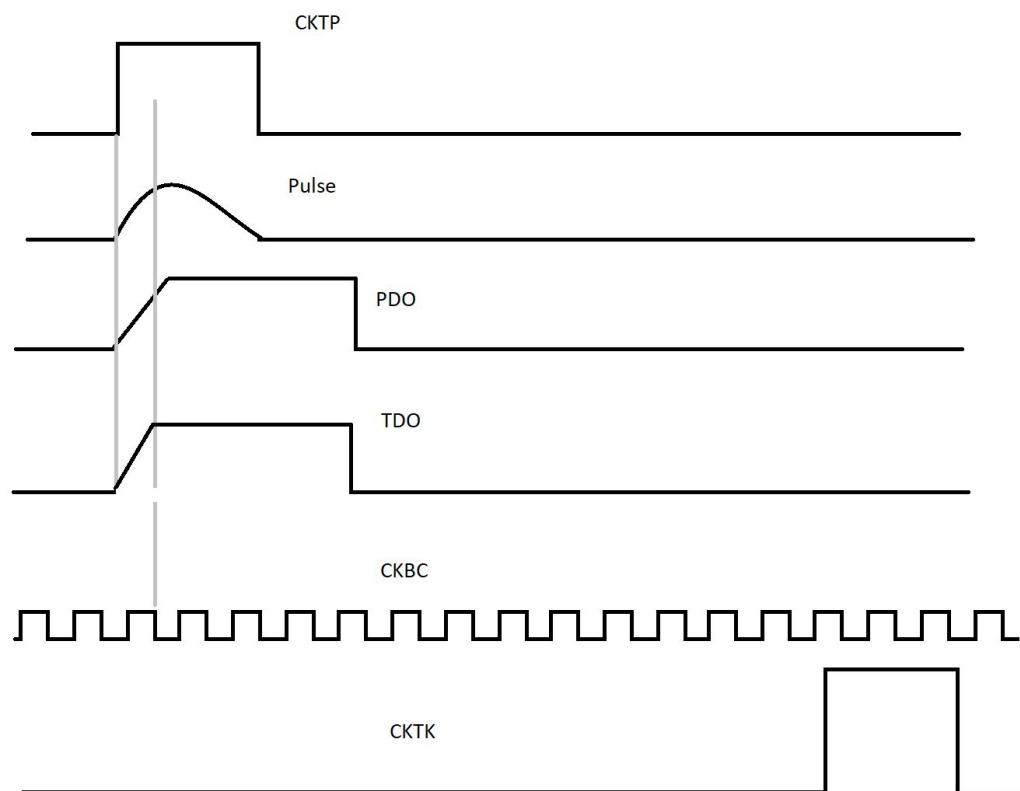
500.0 Period, us

0 Burst size

40 dcbc, MHz

Режимы работы VMM

Continuous mode



Режимы работы VMM

Continuous mode

8b-10b кодирование

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38
hit data	F	N	Chan# (6)						ADC (10)										TDC (8)								BCID (12)											

Побитовая передача данных по проводам data0 и data1

```

***** VMM3 Test Log *****
2017.06.27 16:13:16.875
FPGA version b7052602
Configuration file: ADC130_T230_PT200_G3.cfg
*****

```

VMM3 ID# 10338

Test pulse width 0.000 us
 Test pulse period 500.008 us
 Number of pulses 300
 ckbc 0.000 Hz

Peaking Time (st) 200 ns

Gain (sg) 3.0 mV//fC

TAC Slope (stc) 60

Coarse Threshold DAC (sdt) 230

Internal Pulser DAC (sdp) 130

Пример лог-файла

1 – если событие

есть, 0 – если сработал сам канал, 0 – если

Адрес

канала

Амплитуда

импульса

Время прихода

импульса

F	T	Addr	Ampl	Time	Grey	Check	ARTSample	Event
1	1	07	0	0	0	[0] 50	0	1
1	0	08	0	0	0	[1]	1	
1	1	09	0	0	0	[2]	2	
1	1	10	0	0	0	[3]	3	

Номер
импульса

1	1	00	147	0	2	[64] 9	64	5
1	1	01	146	0	2	[65]	65	
1	1	02	141	0	2	[66]	66	
1	1	03	144	0	2	[67]	67	
1	1	04	128	0	2	[68]	68	
1	1	05	167	0	2	[69]	69	
1	1	06	152	0	2	[70]	70	
1	1	07	124	232	2	[71]	71	
1	1	08	113	232	2	[72]	72	
1	1	09	137	241	2	[73]	73	
1	1	10	178	255	2	[74]	74	
1	1	11	144	232	2	[75]	75	
1	1	12	152	0	2	[76]	76	
1	1	13	131	0	2	[77]	77	

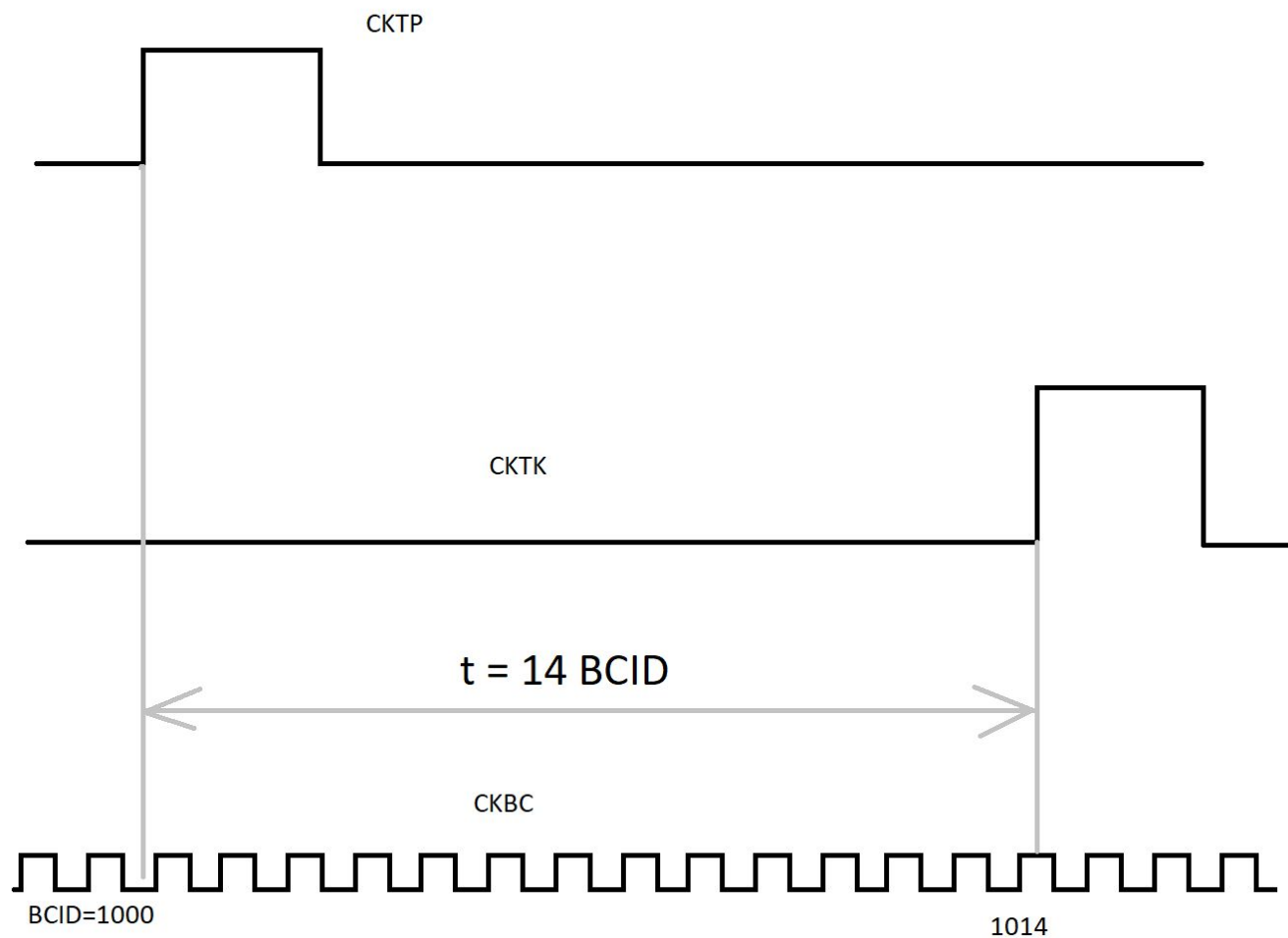
ART

Мониторирование сигналов с платы

Вывод на плате	Сигнал
X18	Test pulse
X7	CKBC
X14	CKDT
X15	Data0
X16	Data1
X17	CKTK
X700	MO
X701	PDO
X702	TDO

Режимы работы VMM

L0-mode



CKTP_1_BCID=1000

CKTK (L0)_1_BCID = 1014

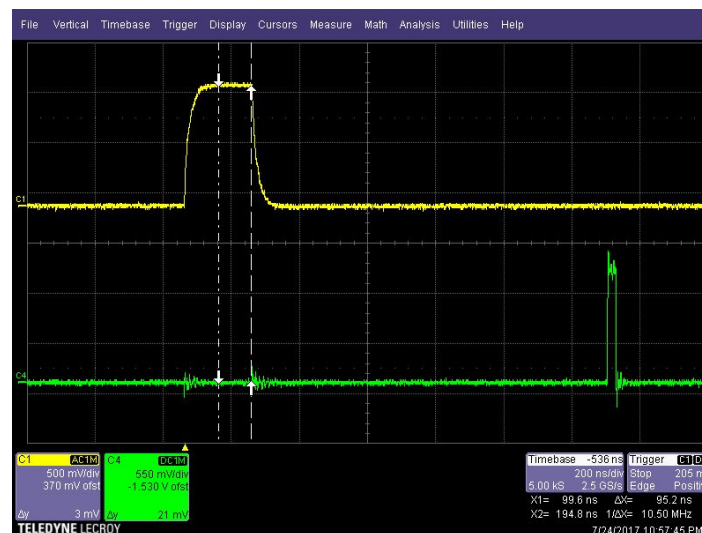
Режимы работы VMM

L0-mode

CKTP_1_BCID=1000

CKTK (L0)_1_BCID = 1014

t = 14



4081 L0 BC offset

0 Ch. taggig BC offset

4095 Ch. taggig BC rollover

7 Trigger window size

63 Max hits per L0

0 L0 triggers ovf. skip

☐ sL0cktest

☐ sL0ckinv

☐ sL0ddckinv

☐ nskipm_l

14 L0 pos

VMM3 ID

000001

☐ Auto

Probe

Slow Configure

Fast Configure

Gross Full Test

Full Test #3 (All Channels)

☐ Bunch mode

☐ Log to file

Path to Settings

Tester Status

VMM Tester Board is ready. FPGA version b7062302

EXIT

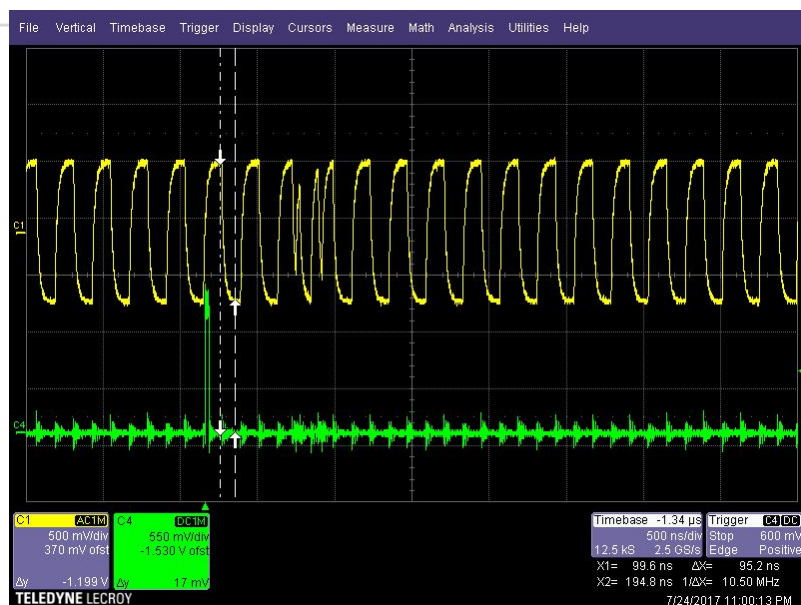
Режимы работы VMM

L0-mode

- 8b-10b кодирование

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
header	V	P	orb		BCID (12)										1st word after comma																	
hit data	1	P	R	T	Chan# (6)						ADC (10)										TDC (8)								N	rel BCID		
LL_format_VMM3out_V04																																

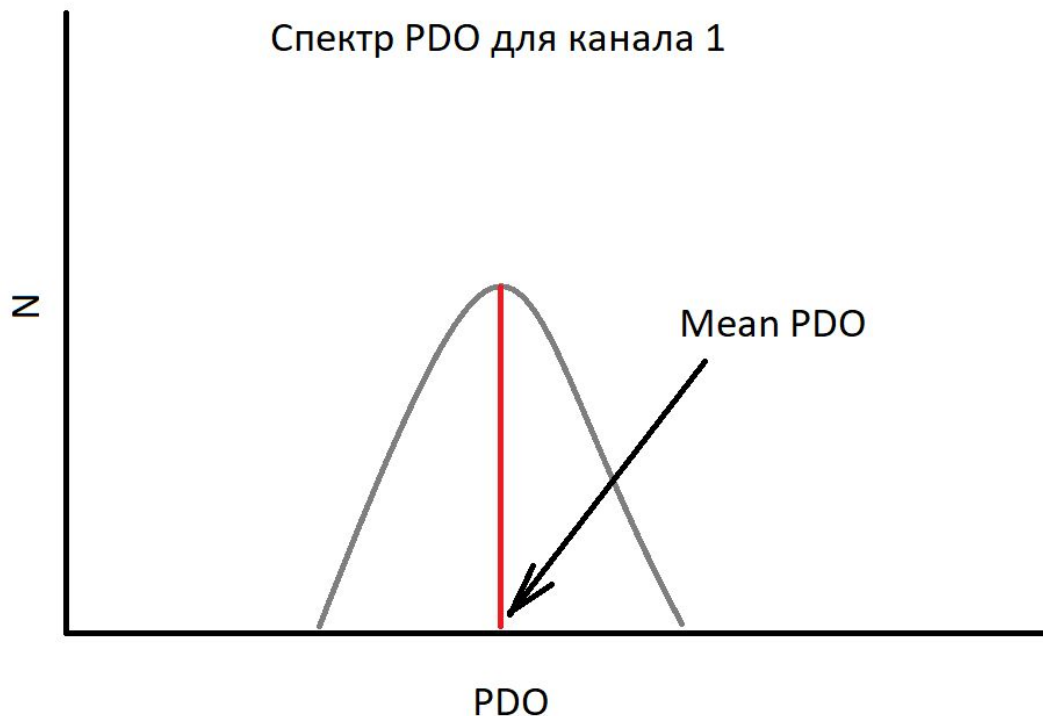
LL_format_VMM3out_V04



Виды Тестов

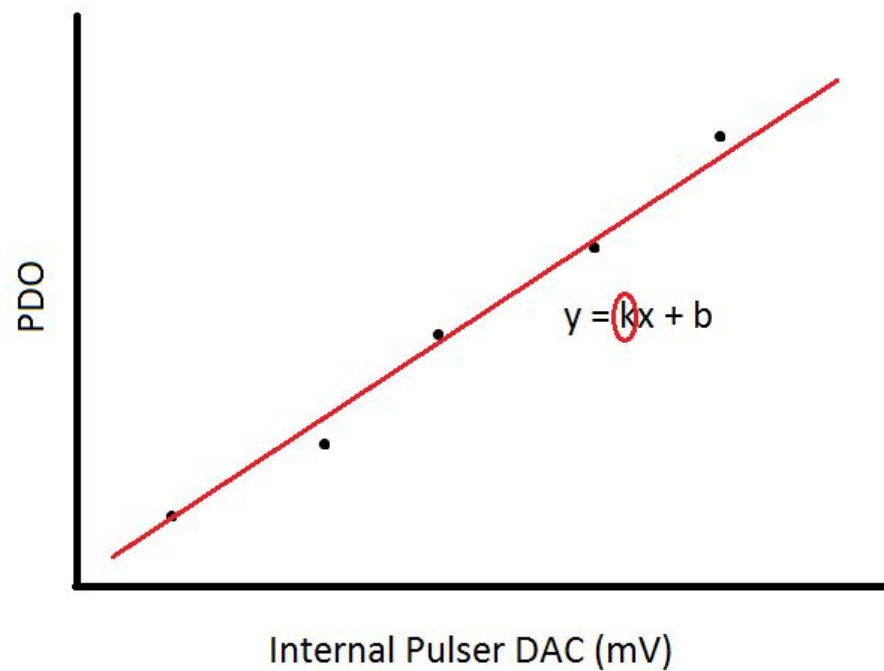
Калибровка По амплитуде

1. Набрать сигналы с разными значениями DAC
2. Обработать и определить средние значения PDO для каждого канала, для каждого значения DAC



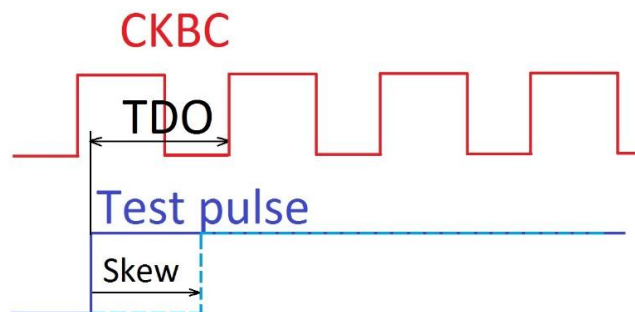
Виды Тестов

- Калибровка
 - По амплитуде



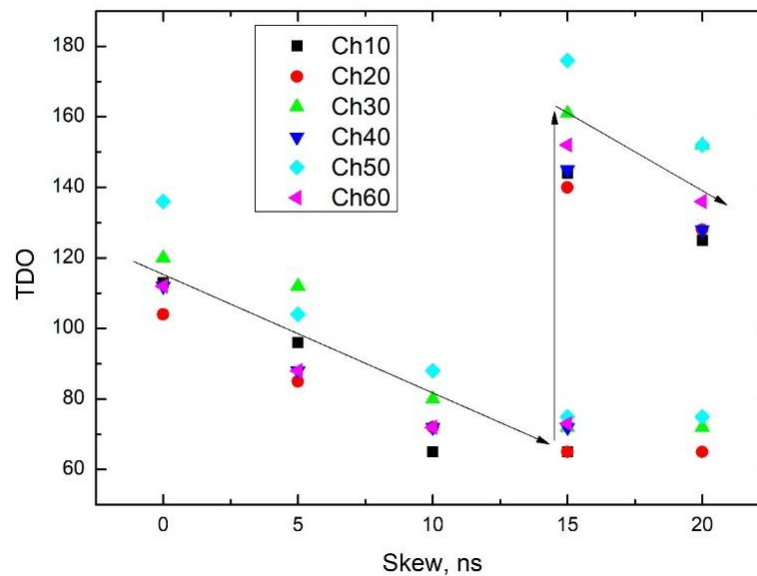
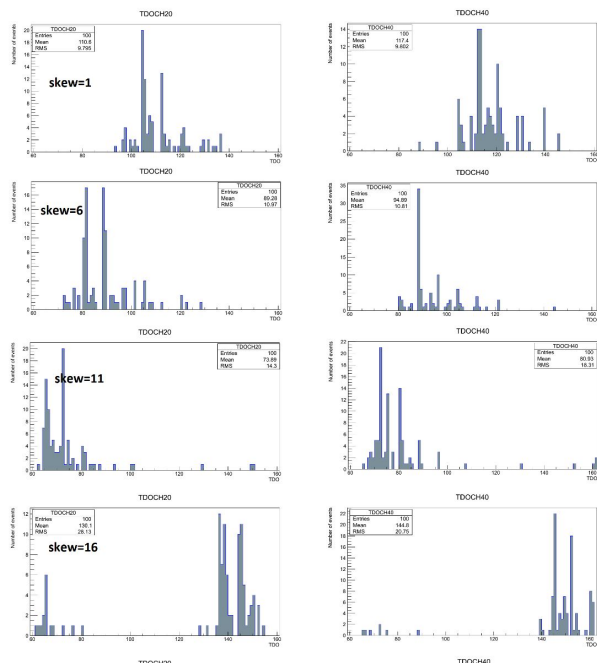
Виды Тестов

- Калибровка
 - По времени



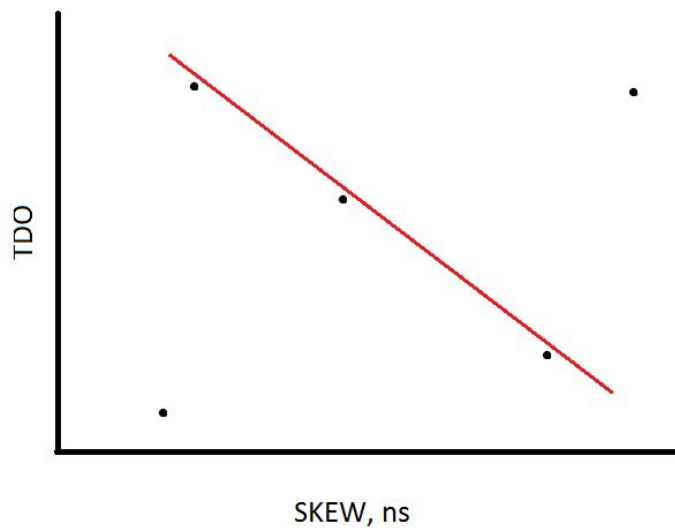
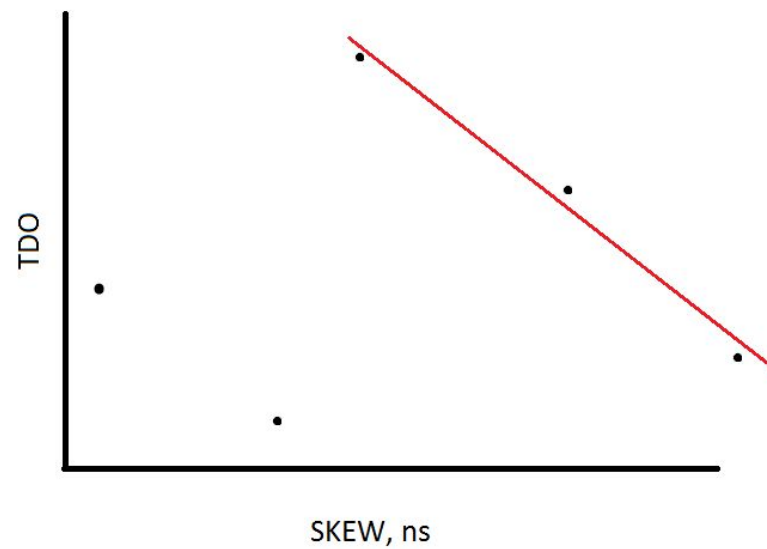
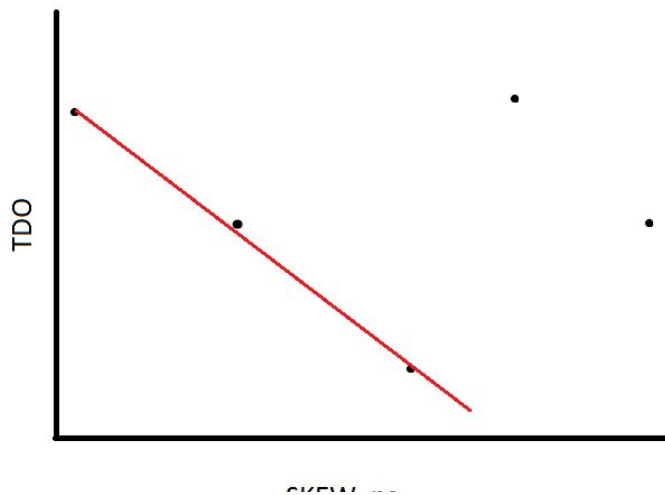
Channel 20

Channel=40



Виды Тестов

- Калибровка
 - По времени



Спасибо за внимание