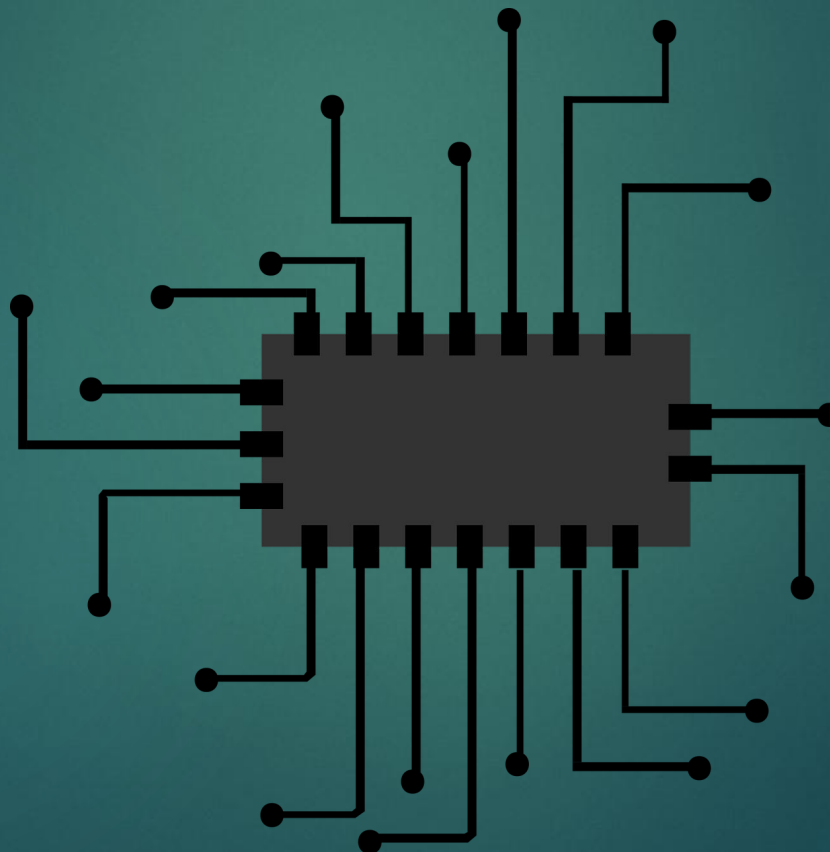


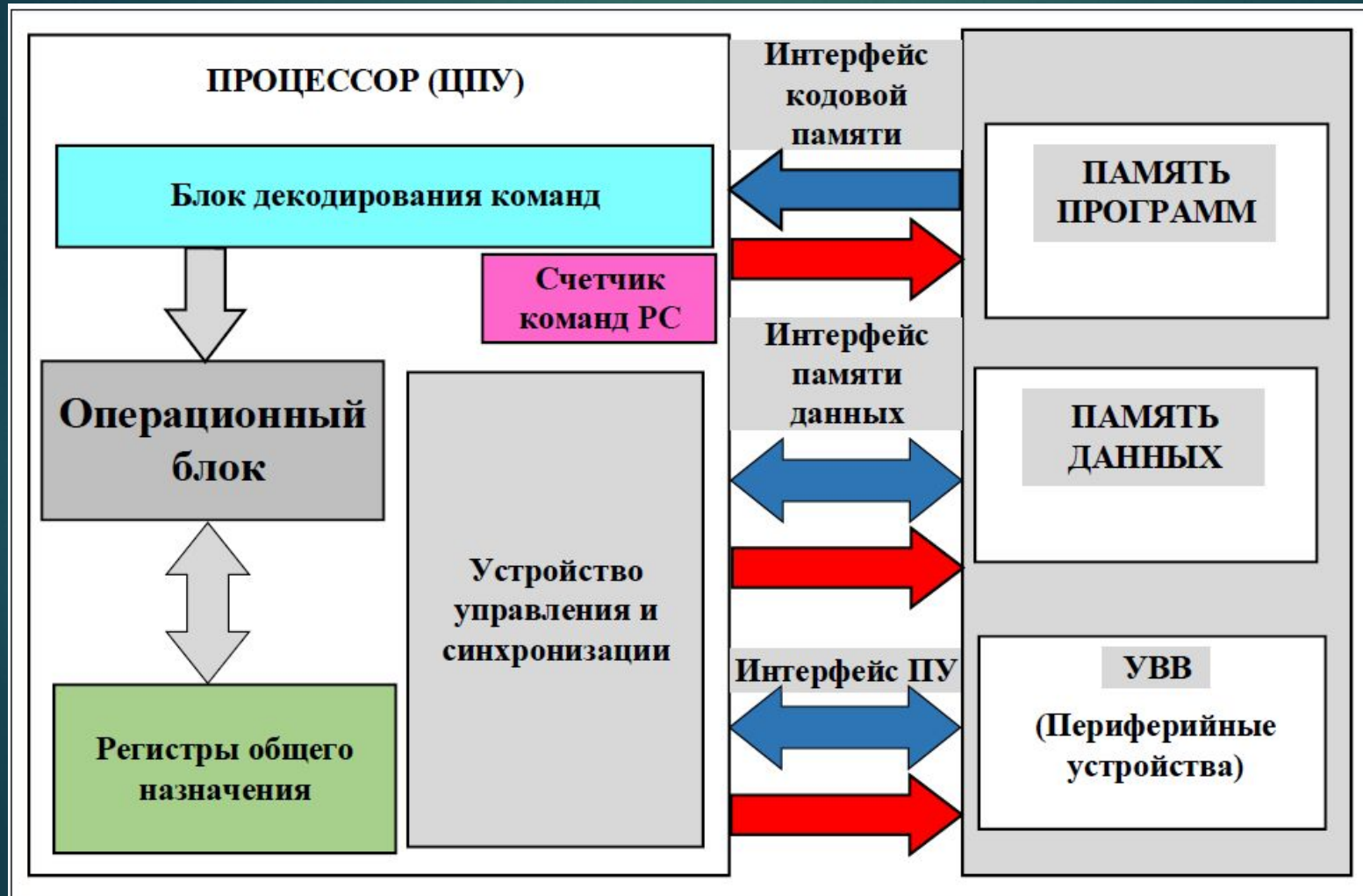
Базовые характеристики микроконтроллера К1921ВК01Т

1



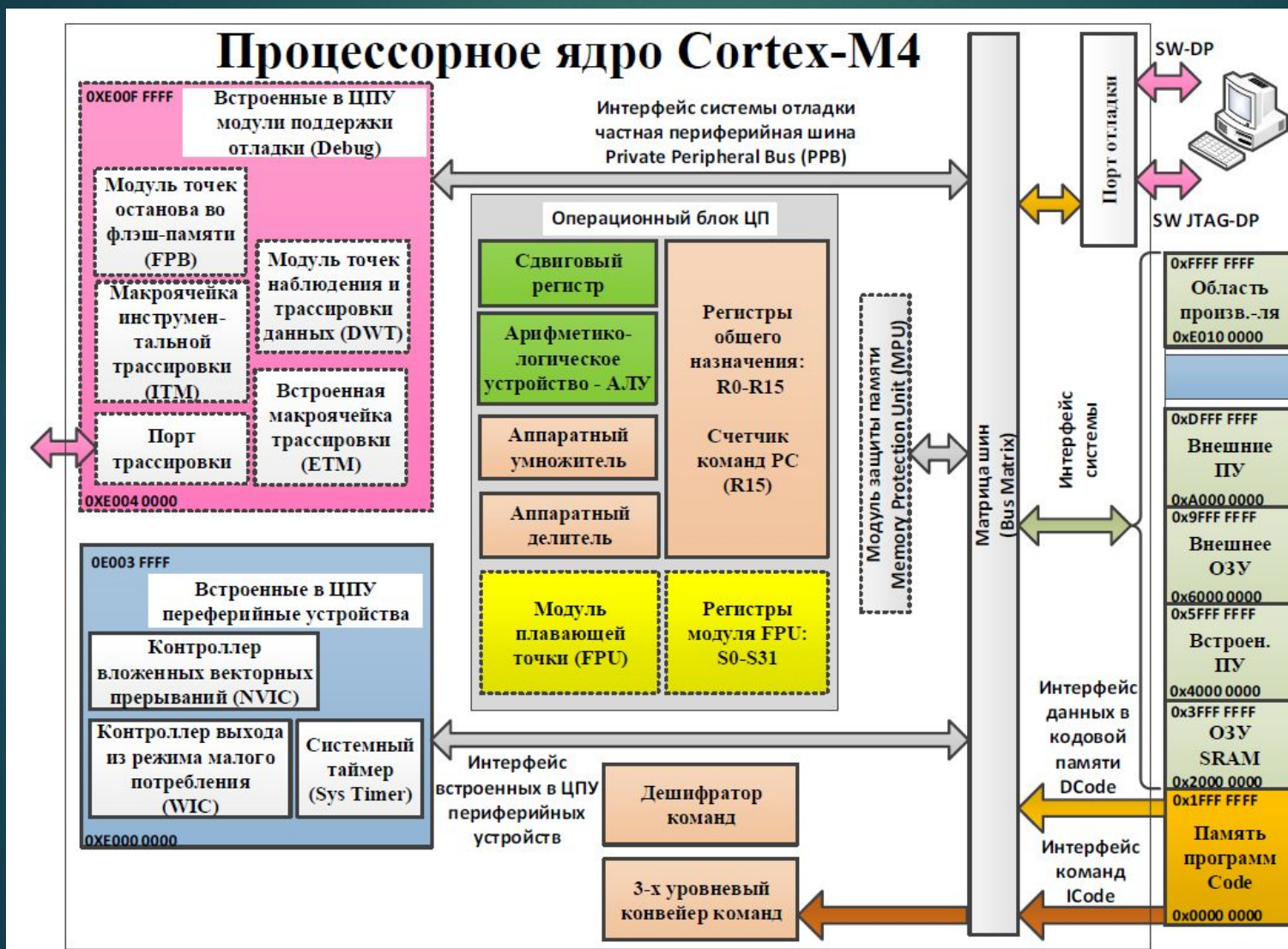
Гарвардская архитектура микроконтроллера К1921ВК01Т

2



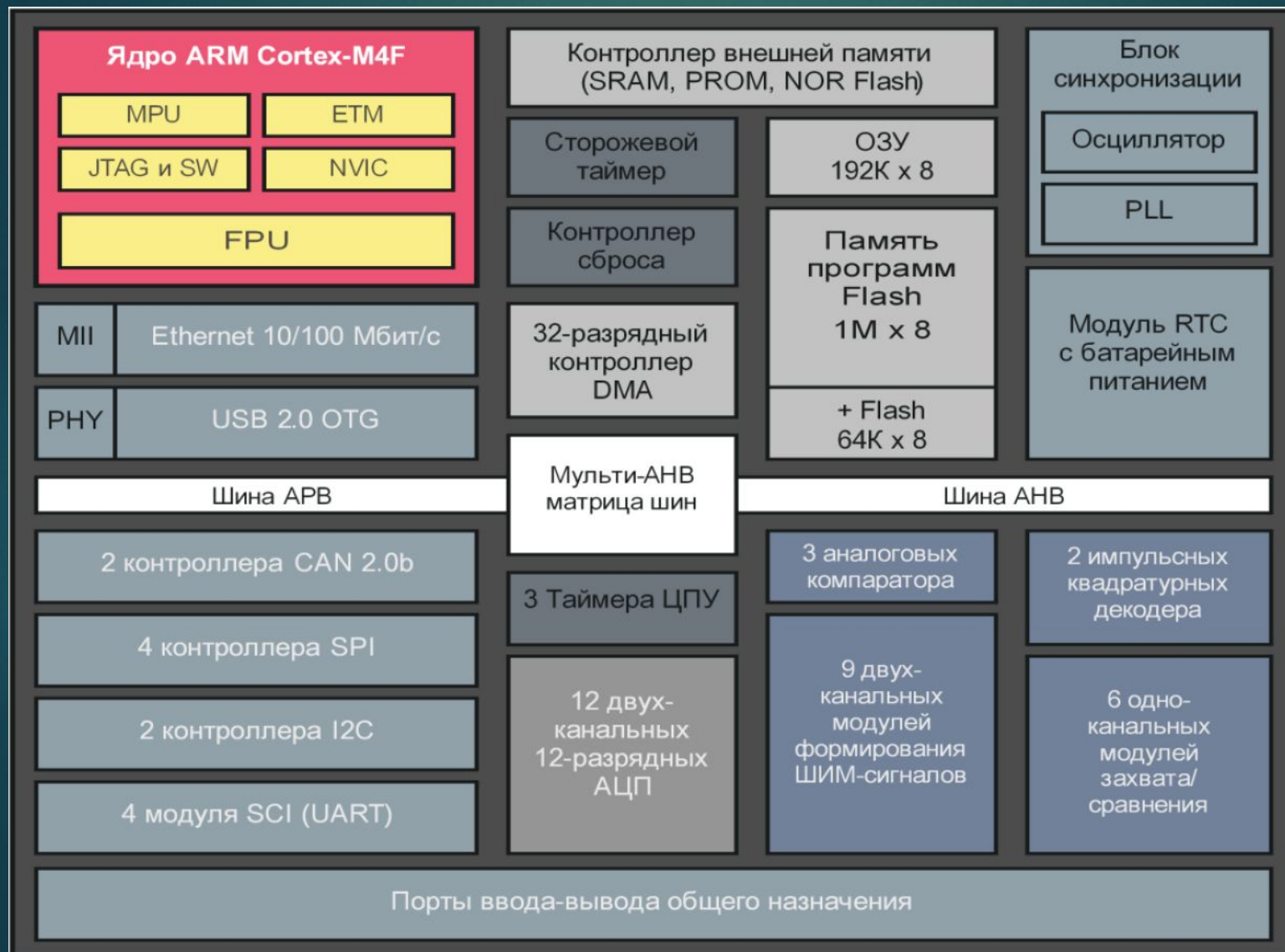
Структура процессорного ядра Cortex-M4

3



Структурная схема микроконтроллера K1921BK01T

4



Основные технические данные микроконтроллера K1921BK01T

- ✓ Производительность до 125 MIPS (миллионов инструкций в секунду);
- ✓ Встроенная FLASH-память программ емкостью 1 Мбайт;
- ✓ Встроенное статическое ОЗУ (RAM) емкостью 192 Кбайта;
- ✓ Дополнительная FLASH-память данных объемом 64 Кбайта;
- ✓ Возможность расширения памяти - контроллер внешней памяти (SRAM, PROM, NOR Flash);
- ✓ 32-канальный контроллер прямого доступа к памяти (DMA);
- ✓ Система сброса и сторожевой таймер (Watchdog);
- ✓ Часы реального времени (Real Time Clock) с батарейным питанием;
- ✓ Синтезатор таковой частоты микроконтроллера (PLL);
- ✓ Двенадцать 2-канальных 12-разрядных АЦП с дополнительным встроенным датчиком температуры (T-Sensor) для контроля температурного режима собственно микроконтроллера;
- ✓ Восемнадцать модулей ШИМ (PWM) или девять двухканальных модулей с комплиментарными выходами, из которых шесть могут работать в режиме «высокого» разрешения (HRPWM);
- ✓ Шесть модулей захвата/сравнения (CAP);

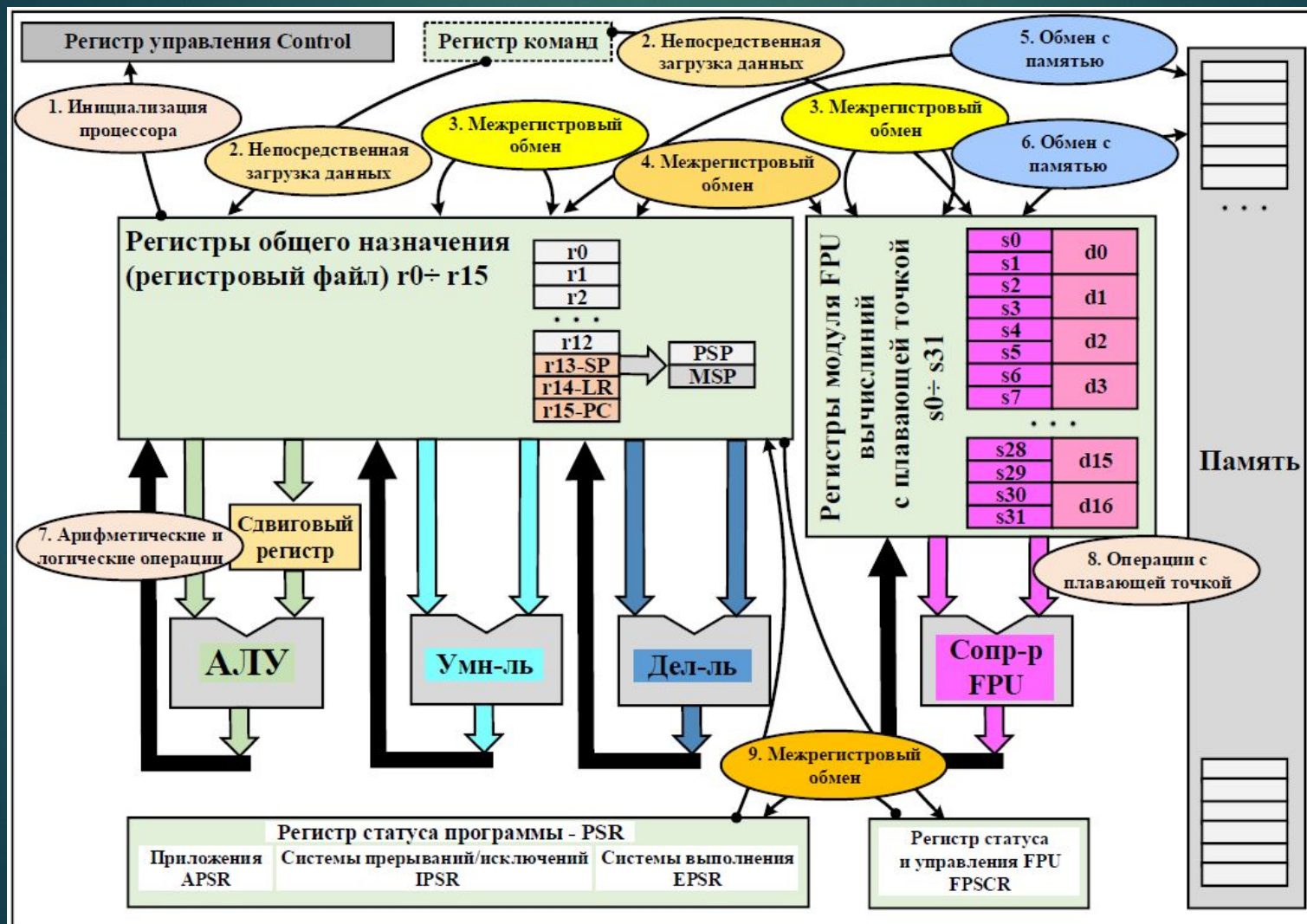
Основные технические данные микроконтроллера K1921BK01T

6

- ✓ Три аналоговых компаратора
- ✓ Три 32-битных таймера общего назначения;
- ✓ Два порта CAN 2.0b;
- ✓ Два интерфейса I2C, с поддержкой режима High Speed (более 1 МГц);
- ✓ Два квадратурных декодера (enhanced Quadrature Encoded Pulse - eQEP) для обработки сигналов импульсных датчиков положения ротора и исполнительного органа в высокопроизводительных системах позиционирования и слежения (определение положения, направления и скорости вращения);
- ✓ Четыре порта синхронного периферийного интерфейса SPI;
- ✓ Четыре модуля коммуникационного интерфейса SCI (UART);
- ✓ Интерфейс USB 2.0 Device /Host с физическим уровнем PHY;
- ✓ Интерфейс Ethernet 10/100 Мбит/с с интерфейсом MII;
- ✓ Отладочный интерфейс (JTAG и ARM Serial Wire Debug (SWD));
- ✓ Не менее 88 выводов портов ввода/вывод общего назначения (GPIO), отдельно программируемых и мультиплексированных со специфическими периферийных устройств.

Программная модель процессора Cortex-M

7



Порядок расположения данных в памяти

8

32-разрядное слово																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
16-разрядное старшее полуслово																16-разрядное младшее полуслово															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Старший байт старшего полуслова								Младший байт старшего полуслова								Старший байт младшего полуслова								Младший байт младшего полуслова							
7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0

Унифицированная карта памяти

9

Диапазон адресов	Область памяти	Объем	Тип	Атрибут	Назначение
0xFFFF FFFF 0xE010 0000	Vendor specific memory <i>Память, определяемая производителем МК</i>	511 М байт	Device	XN	Память, назначение которой определяется исключительно производителем микроконтроллера (МК)
0xE00F FFFF 0xE000 0000	Private Peripheral Bus <i>Собственная периферийная шина процессора</i>	1 М байт	Strongly-ordered	XN	Регистры периферийных устройств центрального процессора: • контроллера прерываний NVIC; • системного таймера – System timer; • Блока управления системой Block system control
0xDFFF FFFF 0xA000 0000	External device <i>Внешние устройства</i>	1 Г байт	Device	XN	Регистры внешних периферийных устройств
0x9FFF FFFF 0x6000 0000	External RAM <i>Внешнее ОЗУ</i>	1 Г байт	Normal	-	Данные исполняемой программы
0x5FFF FFFF 0x4000 0000	Peripheral <i>Встроенная периферия</i>	0.5 Г байта	Device	XN	<i>Регистры встроенных в микроконтроллер периферийных устройств.</i> Содержит также область побитово, побайтово адресуемых регистров
0x3FFF FFFF 0x2000 0000	SRAM <i>Встроенное статическое ОЗУ</i>	0.5 Г байта	Normal	-	<i>Данные исполняемой программы.</i> Может содержать код программы. Содержит также побитово побайтово адресуемую память.
0x1FFF FFFF 0x0000 0000	Code <i>Память программ (кодовая)</i>	0.5 Г байта	Normal	-	<i>Исполняемый код программы.</i> Могут храниться данные (константы и таблицы констант)

Основные способы адресации

Режим прямой адресации – Direct Addressing Mode

Режим стековой адресации – Stack Addressing Mode

Режим косвенной адресации – Indirect Addressing Mode

Режим регистровой адресации – Register Addressing Mode

Регистры окружения ЦПУ

11

Имя регистра	Второе обозначение	Использование	
R0	-	Младший банк регистров общего назначения ЦПУ	Нет никаких ограничений в использовании этих регистров в качестве операндов-источников или операндов-приемников
R1	-		
R2	-		
R3	-		
R4	-		
R5	-		
R6	-		
R7	-		
R8	-	Старший банк регистров общего назначения ЦПУ	Для некоторых команд имеются ограничения в использовании (см. Приложение №2. Справочник по системе команд)
R9	-		
R10	-		
R11	-		
R12	-		

R13	SP	Stack pointer register – регистр-указатель стека Состоит из двух регистров:	
		PSP	SP_process - указатель стека процесса пользователя (программ нижнего уровня)
		MSP	SP_main - указатель стека обработчиков исключений и программ верхнего уровня
R14	LR	Link register - линк-регистр, регистр связи Содержит адрес возврата в основную программу после команды вызова подпрограммы	
R15	PC	Program counter - программный счетчик (счетчик команд) Всегда содержит адрес очередной, подлежащей выполнению команды.	
	PSR	Program Status Register - Регистр статуса программы Состоит из трех регистров:	
		APSR	Application Program Status Register – регистр статуса программы-приложения
		IPSR	Interrupt Program Status Register – регистр статуса системы прерываний/исключений
		EPSR	Execution Program Status Register – регистр статуса системы выполнения команд

Флаги результатов операций в ЦПУ.

14

Флаг	Название. Порядок формирования
N	Флаг отрицательного результата N (Negative). Устанавливается в 1 ($N=1$), если в результате операции получено число, старший бит которого (31-й, знаковый) равен 1. Если старший бит равен нулю, то флаг N сбрасывается в 0 ($N=0$).
Z	Флаг нуля Z (Zero). Если в результате арифметической или логической операции получен нулевой результат (все 32- бита результата нулевые), то флаг выставляется ($Z=1$), в противном случае – сбрасывается ($Z=0$).
C	Флаг переноса C (Carry). Устанавливается ($C=1$), если в результате операции сложения двух 32-разрядных чисел произошел <i>перенос</i> за пределы разрядной сетки. В противном случае – сбрасывается ($C=0$). Свидетельствует о <i>переполнении при сложении чисел без знака</i> . Сбрасывается ($C=0$), если в результате операции вычитания двух 32-разрядных чисел произошел «заем» и выставляется ($C=1$) в противном случае (нет «заема»).
V	Флаг переполнения V (Overflow). Выставляется ($V=1$) в том случае, когда при выполнении арифметической операции сложения или вычитания чисел, рассматриваемых процессором как числа со знаком в дополнительном коде, возникло <i>переполнение</i> , т.е. полученный 32-разрядный результат вышел за пределы диапазона 32-разрядных чисел со знаком, в противном случае – сбрасывается ($V=0$).
Q	Флаг насыщения Q (saturation). Вырабатывается только двумя командами процессора – насыщение содержимого регистра как числа без знака USAT и насыщение содержимого регистра как числа со знаком SSAT. Если насыщение (ограничение на уровне максимального значения) имело место, то флаг устанавливается ($Q=1$), в противном случае – сбрасывается ($Q=0$).

Стек. Запись и извлечение данных.

15

